

Мікроконтролери сімейства RZ/N2L компанії Renesas

Сергій Волков

У статті розглядаються особливості мікроконтролерів сімейства RZ/N2L компанії Renesas. Основна увага приділяється модулям мікроконтролера, які, на нашу думку, здатні сформува-ти у розробників уявлення про можливості цих виробів.

ВСТУП

Компанія Renesas із неабиякою регулярністю продовжує випускати мікроконтролери (МК) нових сімейств. Кожна нова модифікація «стає на плечі» попередньої. Подібна стратегія дуже зручна, оскільки дозволяє спростити розробку нових виробів і мо-

дернізацію раніше випущеної продукції. Хоча нове сімейство МК виглядає досить аскетично, мікроконтролери базуються на одному процесорному ядрі Arm Cortex-R52 і містять мінімум функціональних модулів, його використання вбиває відразу двох зайців. По-перше, значно розширюються мережеві можливості. По-друге, додано

спеціалізований модуль для керування електроприводом.

Відзначимо реалізацію відносно нового стандарту реального часу Ethernet Time-Sensitive Networking (TSN), 3-портовий Gigabit Ethernet, а також підтримку всіх основних комунікаційних протоко-

СЛОВНИК

- CLMA** — монітор тактової частоти
- CMT** — таймер захоплення/порівняння з 16-бітними лічильниками
- CMTW** — таймер захоплення/порівняння з 32-бітними лічильниками
- DOC** — модуль обробки даних
- DPU** — блок обробки даних
- DSMIF** — сигма-дельта інтерфейс
- ECC** — код корекції помилки
- ELC** — контролер подій
- ETHSW** — комутатор Ethernet з підтримкою TSN
- GMAC** — Gigabit Ethernet MAC
- ESC** — контролер EtherCAT
- ETHSW** — комутатор Ethernet
- Ethernet_SS** — підсистема Ethernet
- ETHSW** — Ethernet Switсh
- GIC** — універсальний контролер переривань
- GPT** — універсальний ШИМ-таймер
- LLPP** — периферійний порт з низькою затримкою
- MBIST** — самотестування пам'яті
- MPU** — модуль захисту пам'яті
- MTU3** — багатофункціональний таймер
- PFU** — блок попередньої вибірки команд
- POEG** — дозвіл виводу порту для вихідних сигналів GPT
- SECEDED** — виявлення подвійної помилки
- TCNT** — лічильники таймера
- TFU** — модуль обчислення тригонометричних функцій

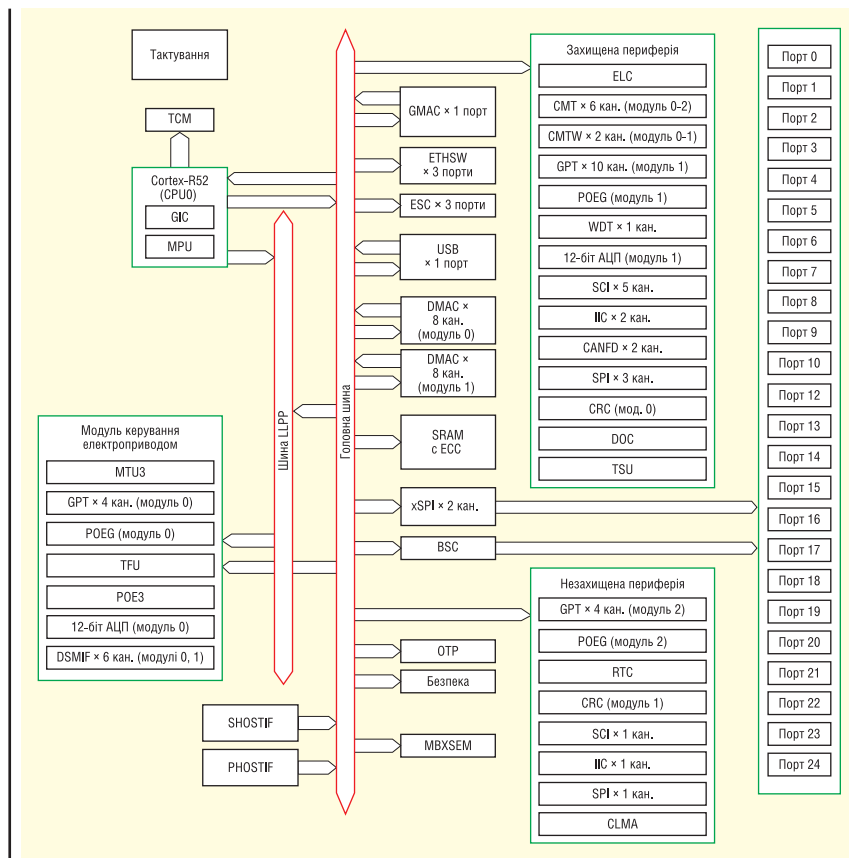


Рис. 1. Структурна схема МК в 225-вивідному корпусі

лів: EtherCAT, PROFINET RT, EtherNet/IP і OPC UA, а також новий PROFINET IRT.

МК випускається в 121-вивідному корпусі FBGA (10 × 10 мм) або 225-вивідному корпусі FBGA (13 × 13 мм). Основні відмінності між модифікаціями наведені в таблиці 1. Діапазон робочої температури становить −40...125 °С. На рисунку 1 представлена структурна схема МК у 225-вивідному корпусі.

Параметр	225-вивідний корпус	121-вивідний корпус
Зовнішня 8- і 16-бітна шина	є	немає
Ethernet-перемикач (ETHSW)	три порти PHY	два порти PHY
EtherCAT	три порти	два порти
Хост USB 2.0	один порт	немає
Послідовний інтерфе SCI	шість каналів	п'ять каналів
Послідовний інтерфейс SPI	два канали	один канал
АЦП	два модулі 12-бит АЦП	немає
Паралельний хост-інтерфейс PHOSTIF	один канал	немає
Кількість ліній вводу/виводу	135	71

ПРОЦЕСОР І ПАМ'ЯТЬ

Індекс R в позначенні процесорного ядра Arm Cortex-R52 вказує на те, що процесор призначений для роботи в режимі реального часу, і тому не варто чекати від МК RZ/N2L значної обчислювальної потужності. Ці МК випускаються для реалізації промислових систем керування і також можуть інтегруватися практично в будь-яку промислову мережу.

Оскільки процесор Cortex-R52 відомий досить давно, ми не будемо загли-

блюватися в його опис, але нагадаємо деякі особливості. У цій якості згадаємо периферійний інтерфейс LLPP, що забезпечує швидке пересилання даних між процесором і периферійними модулями. Завдяки цьому інтерфейсу реалізуються прямі операції «читання-запис» замість «читання-модифікація-запис». Також відзначимо вбудований інтерфейс MBIST для безпосереднього підключення до флеш-пам'яті.

Процесор має 8-ступінчастий суперскалярний конвеєр з передбачен-

ням розгалужень. У режимі обчислення з одинарною точністю використовуються тридцять два 32-бітних регістри, в режимі подвійної точності — шістнадцять 64-бітних регістрів.

Блок попередньої вибірки PFU вибирає команди з кешу тісно пов'язаної пам'яті TCM (*Tightly Coupled Memory*) або із зовнішньої пам'яті. Регістри, що входять до складу передбачувача розгалужень, містять історію розгалужень із 2048 записів, на основі яких будується таблиця переходів.

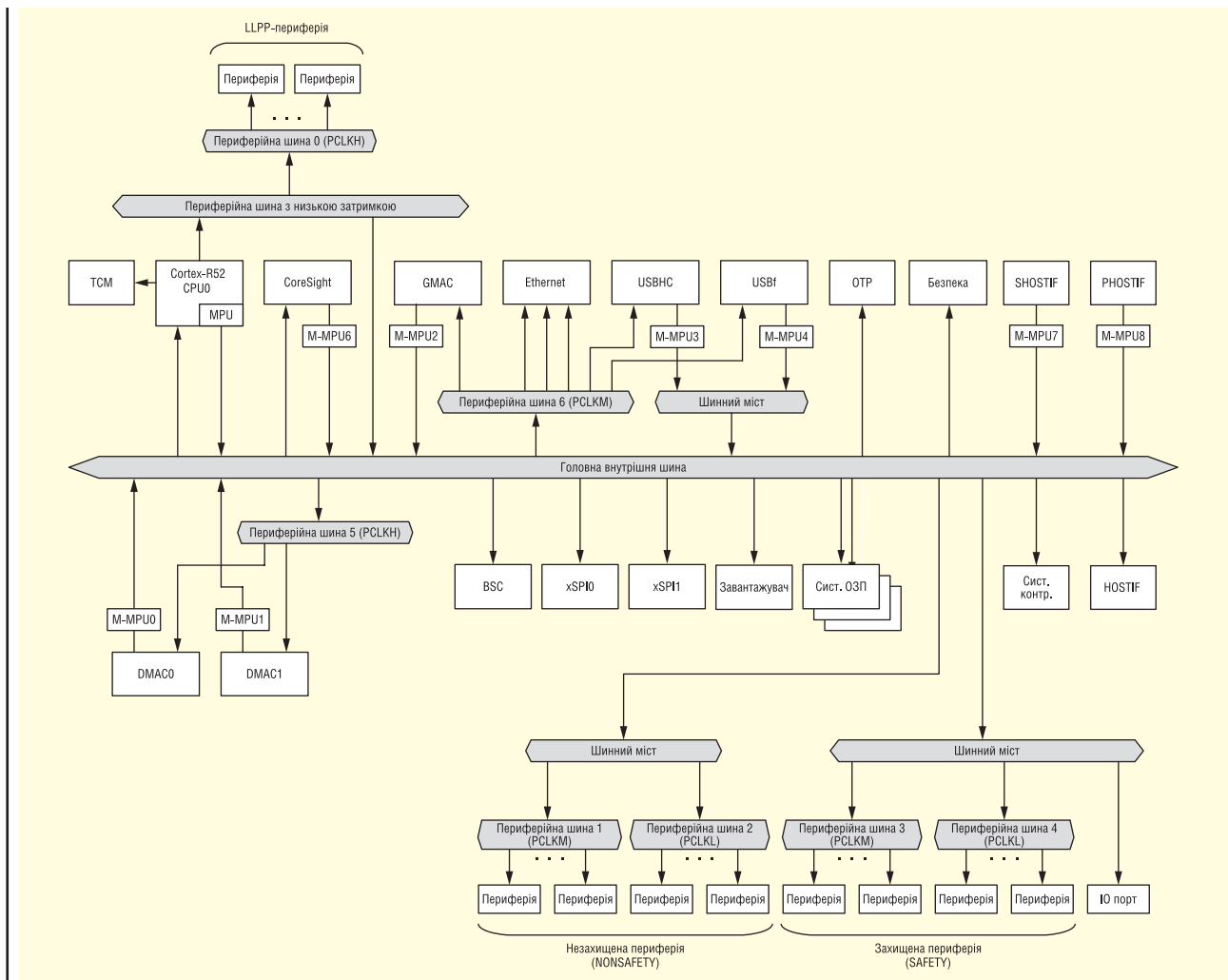


Рис. 2. Шинна архітектура МК

У процесор вбудована кеш-пам'ять команд тієї ж ємності і тісно пов'язана пам'ять TCM об'ємом 256 Кбайт. Система пам'яті може мати різні конфігурації залежно від використовуваних опцій. У будь-якому випадку до складу процесора інтегрований 128-бітний інтерфейс AXIM, через який до процесора надходять команди, дані і реалізується зв'язок з периферійними модулями. Тактова частота процесора становить 400 МГц.

Крім вбудованої в процесор пам'яті на кристалі є ОЗП ємністю 1,5 Мбайт, розділений на три банки по 512 Кбайт. Тактування пам'яті здійснюється частотою 150 або 200 МГц. Запис в пам'ять у форматі 32/64/96/128 біт займає один цикл, очікування відсутнє. Запис у форматі 8/16 біт займає три цикли, і два цикли припадають на очікування. При читанні очікування триває два цикли, на читання відводяться три цикли.

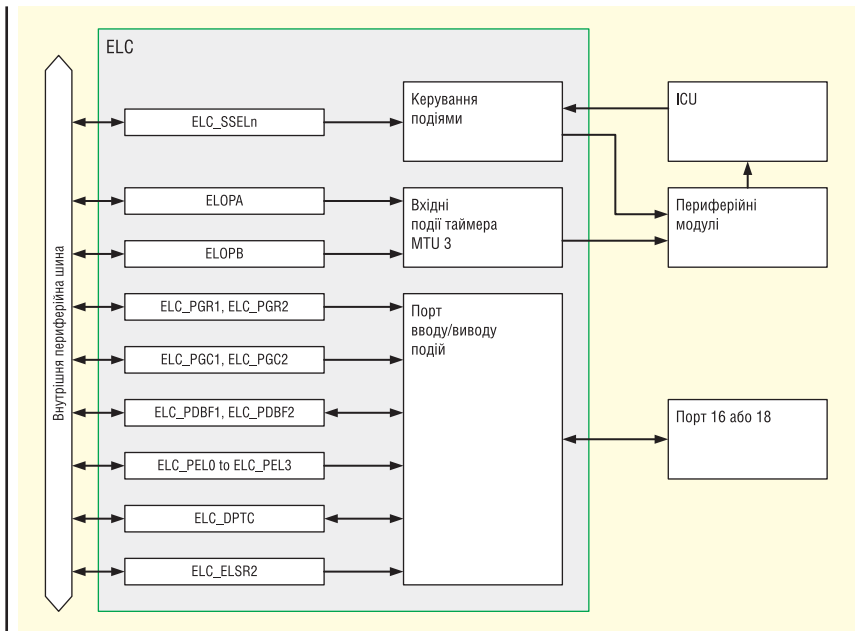


Рис. 3. Структурна схема контролера ELC

ШИННА АРХІТЕКТУРА

Навряд чи можна скласти повне уявлення про структуру МК, не розглянувши організацію шин. Зупинимося дещо докладніше на цьому аспекті. Шинна архітектура МК представлена на рисунку 2. Традиційний для компанії Renesas підхід полягає у використанні великої кількості периферійних шин, що дозволяє прискорити взаємодію периферійних пристроїв між собою, з процесорним ядром і пам'яттю, а також із зовнішніми пристроями. Всі шини працюють з мінімальною затримкою

Доступ до ведених шин може контролюватися процесором Cortex-R52. Доступ до ведених шин різний для периферійних пристроїв, тобто фізично розділений. Таке рішення дозволяє процесору уникнути конфліктів доступу з боку ведучих пристроїв шини.

Обмін даними між МК і зовнішніми пристроями, в т. ч. із зовнішньою пам'яттю, здійснюється за допомогою контролера стану шини. Він формує сигнали, що керують зовнішніми пристроями. Максимальний розмір будь-якої з чотирьох областей CS0, CS2, CS3 і CS5 становить 64 Мбайт. Кожна з них може працювати в одному з наступних режимів: інтерфейс SRAM, інтерфейс SRAM з вибором байта, ПЗП (синхронний або асинхронний з тактовою частотою), MPX-I/O та пам'ять SDRAM. Ширина шини даних становить 8 або 16 біт. Для кожної з областей встановлюються незалежні цикли очікування.

КОНТРОЛЕР ПОДІЙ ELC

Контролер подій ELC, як і шинна архітектура, дозволяє значно прискорити трансфер даних між периферійними модулями, не використовуючи ресурси процесора, завдяки чому знижується енергоспоживання. Під час обміну даними ЦП може перебувати в режимі зниженого енергоспоживання або виконувати інші завдання, не відволікаючись на переривання. Нагадаємо, що під час виконання переривання відбувається запис контексту в регістри і пам'ять, а потім, після обслуговування переривання, відбувається зчитування цих даних. Операції запису і читання досить енергоємні.

В цілому, контролер підтримує 217 подій. Кожен периферійний модуль може бути пов'язаний тільки з однією подією. Можливість периферійного модуля генерувати прапори події задається в його конфігураційному регістрі. Структурна схема контролера ELC наведена на рисунку 3.

ПІДСИСТЕМА ETHERNET (ETHERNET_SS)

Підсистема Ethernet (Ethernet_SS) — одна з головних складових МК, тому зупинимося на ній трохи детальніше. Структурна схема Ethernet_SS представлена на рисунку 4. До складу підсистеми Ethernet_SS входять:

- Ethernet MAC (GMAC);
- комутатор Ethernet (ETHSW);

- ведений контролер EtherCAT (ESC);
- перетворювачі RGMII/RMII.

Інтерфейси MAC-PHY підтримують RGMII (2.5/25/125 МГц), MII (2.5/25 МГц) і RMII (50 МГц). Підсистема Ethernet реалізує Gigabit Ethernet MAC (GMAC), комутатор Ethernet з підтримкою TSN (ETHSW) і ведений контролер EtherCAT. Ethernet MAC (GMAC) відповідає вимогам стандартів IEEE802.3, IEEE1588-2008, IEEE802.3-az-2010, підтримує повнодуплексний і напівдуплексний режими, а також jumbo-кадри і програмовану довжину кадру.

Комутатор Ethernet ETHSW відповідає вимогам стандартів IEEE802.3 і забезпечує швидкість передачі даних 10/100/1 000 Мбіт/с. Зауважимо, що при швидкості передачі даних 1 000 Мбіт/с можливий тільки повнодуплексний режим. Керування пріоритетами здійснюється відповідно до стандарту IEEE802.1q; підтримується черга з вісьмома рівнями пріоритетів. Аутентифікація і гостьова віртуальна мережа відповідають вимогам стандарту IEEE802.1X. Слід зауважити, що планувальник черги забезпечує роботу в режимі реального часу з використанням тимчасових інтервалів для резервування пропускної здатності, забезпечуючи детерміновані затримки.

МОДУЛІ ДЛЯ КЕРУВАННЯ ЕЛЕКТРОПРИВОДОМ

Для керування електроприводом МК передбачені наступні периферійні модулі:

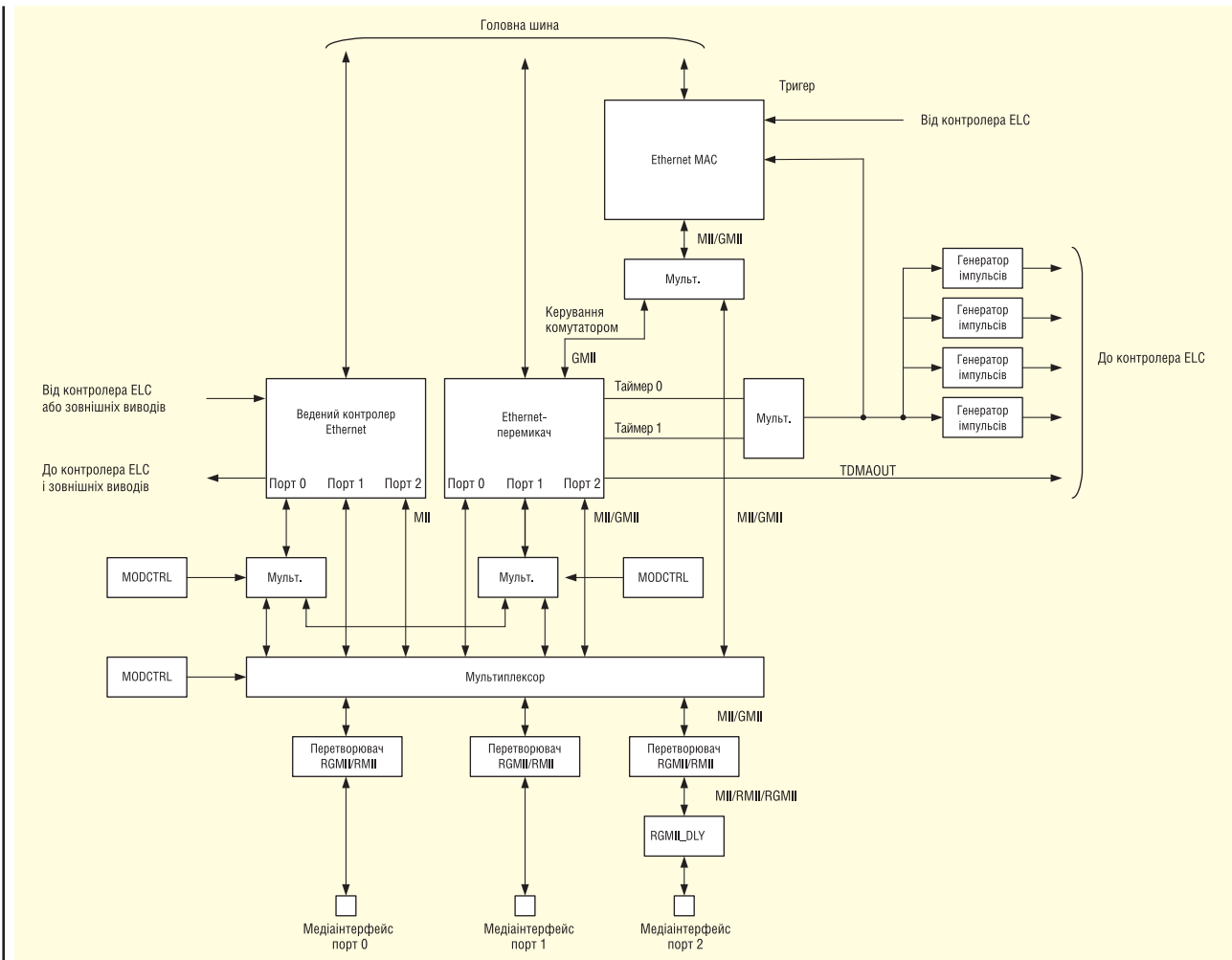


Рис. 4. Структурна схема Ethernet_SS

- універсальний таймер ШІМ GPT;
- дозвіл виводу порту ROEG для вихідних сигналів GPT;
- модуль обчислення тригонометричних функцій TFU;
- багатофункціональний таймер MTU3;
- дозвіл виводу порту 3 ROE3;
- сигма-дельта інтерфейс DSMIF;
- 12-біт АЦП (модуль 0).

Коротко опишемо кожен з цих модулів. Універсальний таймер ШІМ GPT організований за принципом 32 біт × 18 каналів. Максимальна робоча частота становить 200 МГц. Допускається можливість модуляції пілпоподібного або трикутного сигналу, а також формування «мертвого часу». При синхронізованому режимі імпульсні послідовності можуть бути змінені одна відносно одної із заданим фазовим зсувом. Модуль GPT формує сигнали для старту перетворення АЦП. Модуль ROEG генерує запити на заборону виходу сигналів ШІМ-модуля GPT із зовнішніх виводів. Допускається будь-яка комбінація відключення вихідних каналів ШІМ.

Модуль обчислення тригонометричних функцій TFU спрощує обчислення перетворень Парка. Він реалізує обчислення \sin , \cos , $\arctan 2f$ і $\sqrt{x^2 + y^2}$. До складу багатофункціонального таймера MTU3 входять вісім 16-бітних каналів і один 32-бітний канал. Максимальна тактова частота така ж, як у таймера ШІМ GPT, — 200 Гц. Виходи буферизовані, допускається одночасний запис даних у всі канали. Таймер MTU3 може працювати в режимі комплементарного ШІМ.

Модуль ROE3 переводить у високоімпедансний стан (вимикає) виводи мікроконтролера при виявленні небезпеки короткого замикання, коли на виходах ШІМ одночасно виникає високий рівень сигналу. Виводи переводяться у високоімпедансний стан і при зупинці тактування, виявленні помилки в інтерфейсі DSMIF або в програмному забезпеченні.

До сигма-дельта інтерфейсу DSMIF можна підключити до трьох зовнішніх сигма-дельта модуляторів. DSMIF філь-

трує 1-біт послідовності та перетворює їх в 16-біт дані. Коефіцієнт передискретизації (децимації) вибирається з ряду 4–256. Екстремуми, що виявляються в потоці даних, можуть служити тригером захоплення сигналів. Для кожного з трьох входів вибирається один з шести можливих тригерів.

І, нарешті, буквально кілька слів про 12-бітний АЦП. До складу МК входять два модулі. Модуль АЦП 0 має чотири вхідні канали, а модуль 1 — вісім каналів. Час перетворення АЦП становить 0,84 мкс. Передбачено три режими сканування вхідних даних: одноразовий, тривалий і групові опитування. В останньому випадку для кожної з груп встановлюється індивідуальний режим опитування.

На закінчення зауважимо, що було розглянуто лише ті модулі МК, які, на наш погляд, здатні сформувати у читачів розуміння про можливості МК і способи його застосування. Решта модулів, яких ми не торкнулися, не мають будь-яких специфічних особливостей.