

Мікроконтролери сімейства RZ/T2M компанії Renesas

Сергій Волков

У статті розглядається сімейство мікроконтролерів RZ/T2M компанії Renesas. Мікроконтролер призначений для вирішення відносно вузького кола завдань, тому в ньому відсутні модулі обробки графіки та мультимедіа, але вбудовані спеціалізовані модулі обчислення тригонометричних функцій та інтерфейс енкодера.

ВСТУП

Серія мікроконтролерів (МК) RZ/T2M забезпечує роботу в реальному часі й призначена для використання в промисловості для керування електроприводами. Вирішувати завдання керування допомагають вбудовані апаратні прискорювачі, серед яких 2-канальний інтерфейс енкодера в стандартах EnDat 2.2 і BiSS, а також модуль обчислення тригонометричних функцій і до 35 вбудованих таймерів. МК орієнто-

ваний на виконання відносно вузького класу завдань, тому в ньому відсутні модулі мультимедіа та графіки.

Структурна схема МК наведена на рисунку 1. На ній дуже добре видно, що ресурси МК розподілені між двома доменами. Один з них реалізує керування електроприводом, а інший підтримує мережеві з'єднання. Виробляється кілька модифікацій МК, вони розрізняються числом виводів корпусу. Основні відмінності між модифікаціями представлені в таблиці 1. Нижче ми розглянемо МК

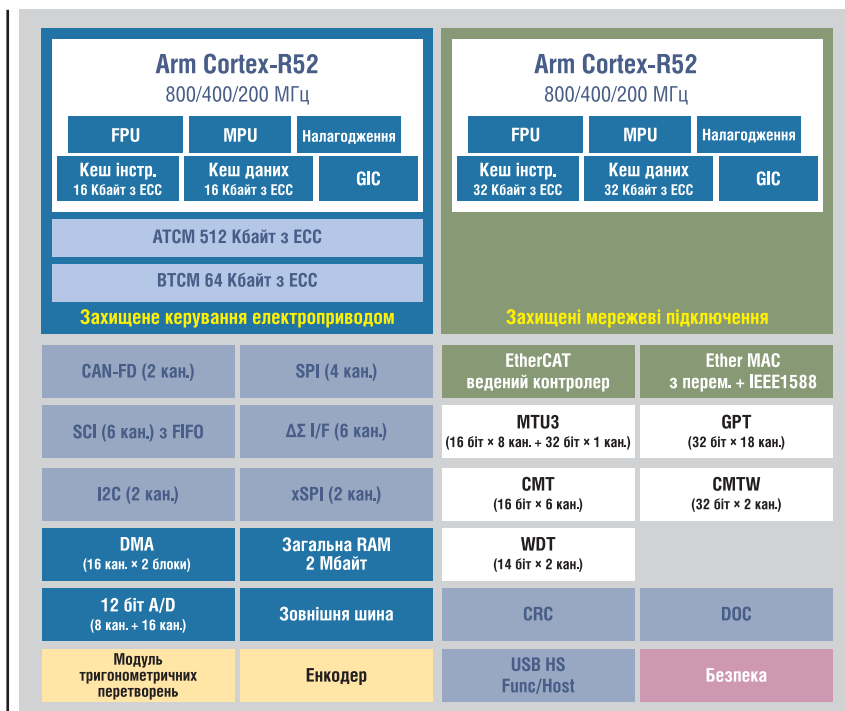


Рис. 1. Структурна схема МК

СЛОВНИК

- CLMA* — монітор тактової частоти
- CMT* — таймер захоплення/порівняння з 16-бітними лічильниками
- CMTW* — таймер захоплення/порівняння з 32-бітними лічильниками
- DOC* — модуль обробки даних
- DPU* — блок обробки даних
- DSMIF* — сигма-дельта інтерфейс
- ECC* — код корекції помилки
- ELC* — контролер подій
- ETHSW* — Ethernet Switch
- GIC* — універсальний контролер переривань
- GPT* — універсальний ШИМ-таймер
- LLPP* — периферійний порт з низькою затримкою
- MBIST* — самотестування пам'яті
- MPU* — модуль захисту пам'яті
- MTU3* — багатofункціональний таймер
- PFU* — блок попередньої вибірки команд
- SECCDED* — виявлення подвійної помилки

з двома процесорними ядрами. Діапазон робочих температур мікросхем становить -40...125 °С.

ПРОЦЕСОРНІ ЯДРА CORTEX-R52

Мікроконтролери сімейства RZ/T2M ARM Cortex-R52 передбачені процесорні ядра ARM Cortex-R52. Символ R у позначенні показує, що ядро призначене для використання в МК реального часу. Всі процесори групи ARM Cortex-R5 можуть бути реалізовані у вигляді двоядерної конфігурації lock-step — з незалежною роботою процесорів, кожен з яких виконує власні програми зі своїми інтерфейсами шини й перериваннями. Така двоядерна реалізація не вимагає додаткового

Параметр	Кількість зовнішніх виводів			
	320	225	176	128
Процесорні ядра ARM Cortex-R52	2	2	1 (CPU0)	1 (CPU0)
Об'єм системної оперативної пам'яті, Мбайт	2	2	1.5	1.5
Ширина зовнішньої шини, біт	32	32	16	16
Таймер ШІМ загального призначення GPT	18 каналів	18 каналів	18 каналів*	18 каналів**
Сторожовий таймер	2 канали	2 канали	1 канал	1 канал
Ethernet	1 порт	1 порт	–	–
EtherCAT	3 порти	2 порти	–	–
12-біт АЦП	2 8-канальних модулі ADC120. 16-канальний модуль ADC121	2 4-канальних модулі ADC120. 16-канальний модуль ADC121	8-канальний модуль ADC120	8-канальний модуль ADC120

* Захоплення сигналу тільки для 13 каналів.
** Захоплення сигналу тільки для 11–13 каналів.

модуля для обміну даними між процесорами та дозволяє створювати дуже потужні, гнучкі системи з відгуками в реальному часі. У максимальній конфігурації в процесорний кластер може бути чотири ядра.

Периферійний інтерфейс LLPP забезпечує швидкий обмін даними з периферійними пристроями — «читання і запис» периферійних пристроїв замість необхідності виконання операцій «читання-модифікації-запису» для всього порту. Для прикладу на рисунку 2 наведена структурна схема процесорного кластера. Кожне ядро має 8-ступінчастий суперскалярний конвеєр з передбаченням розгалужень. Передбачено код корекції помилок ECC і виявлення подвійної помилки SECDED.

Важливою особливістю є вбудований інтерфейс для безпосереднього підключення флеш-пам'яті та наявність інтерфейсу самотестування пам'яті MBIST. На рисунку 3 показано варіант двоядерної конфігурації, яка і використовується в нашому випадку. Розширена підтримка операцій SIMD і обчислень з рухомою комою реалізує всі арифметичні операції й множення з накопиченням. У режимі одинарної точності застосовуються 32 32-бітні регістри, а в режимі подвійної точності — 16 64-бітних регістрів. Можна звернутися і до додаткових команд, тоді користувачеві доступні 32 64-бітні регістри або 16 128-бітні регістри.

Блок попередньої вибірки команд PFU вибирає команди з кешу команд

тісно зв'язаної пам'яті (іноді кажуть «жорстко зв'язаної пам'яті») TCM (*Tightly-Coupled Memory*) або із зовнішньої пам'яті та передає їх в блок обробки даних DPU. За один цикл відбувається вибірка даних 64 біт. У процесі вибірки й декодування чергової команди продовжується виконання попередньої команди. Регістри, що входять до складу передбачувача розгалужень, містять історію розгалужень з 2048 записів, на основі яких будується таблиця переходів.

Система пам'яті може мати різні конфігурації залежно від використовуваних опцій. У будь-якому випадку до складу процесора інтегровано 128-бітний інтерфейс AXIM, через який до процесора надходять команди, дані та

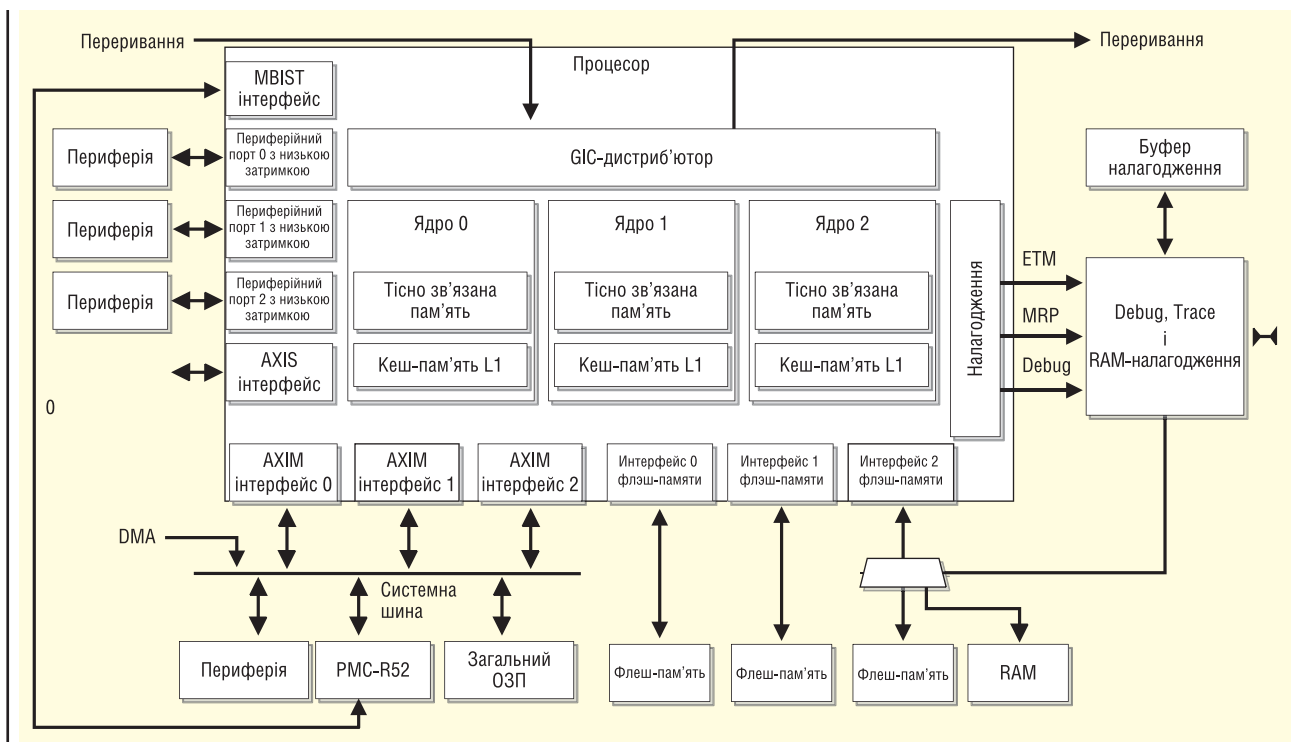


Рис. 2. Кластер з трьох процесорних ядер ARM Cortex-R52

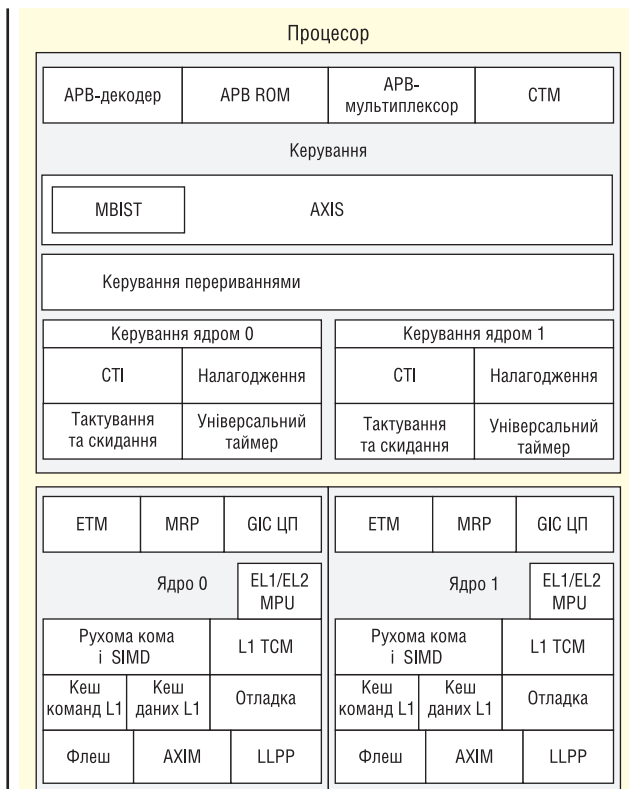


Рис. 3. Варіант двоядерної конфігурації ARM Cortex-R52

реалізується зв'язок із периферійними модулями. Кожне ядро може мати до трьох модулів пам'яті TCM. Завдяки пам'яті TCM з мінімальною затримкою забезпечується доступ до даних і команд.

Опціонально до складу ядра може бути інтегрований 32-бітний інтерфейс AXI4, що забезпечує доступ до периферійних модулів; 128-розрядний інтерфейс флеш-пам'яті призначений тільки для читання.

Як уже зазначалося, в МК RZ/T2M входять два процесорних ядра ЦП 0 і ЦП 1. Їх частота тактування може становити 200/400/800 МГц, якщо системна частота становить 200 МГц, або 150/300/600 МГц, якщо використовується системна частота 150 МГц.

Кеш-пам'ять команд в ЦП 0 має обсяг 16 Кбайт, а ЦП 1 — 32 Кбайт. Об'єм кеш-пам'яті даних ЦП 0 досягає 16 Кбайт, а ЦП 1 — 32 Кбайт. Об'єм тісно зв'язаної пам'яті ATCM ЦП 0 дорівнює 512 Кбайт, тісно зв'язаної пам'яті BTCM (*B-side Tightly-Coupled Memory*) — 64 Кбайт. У ЦП 1 тісно зв'язана пам'ять відсутня.

ПАМ'ЯТЬ

УМК вбудовано ОЗП об'ємом 2 Мбайт. Пам'ять розділена на чотири банки по 512 Кбайт у кожному. При дозволений корекції ECC затримка при 8/16-біт запису становить три цикли, а при 32/64/96/128-біт запису — один цикл, при читанні затримка три цикли. Якщо корекція ECC не використовується, затримка при запису — один цикл, а при читанні — два цикли. У разі помилки звернення залежно від виду помилки формується одне з трьох переривань. Звернення до зовнішньої пам'яті реалізується через інтерфейси USB і розширений інтерфейс xSPI.

СКИДАННЯ, ТАКТУВАННЯ І РЕЖИМИ ЗНИЖЕНОГО ЕНЕРГОСПОЖИВАННЯ

У мікроконтролерів RZ/T2M передбачено п'ять джерел скидання:

- скидання через зовнішній вивід МК;
- системне програмне скидання;
- програмне скидання ЦП 0;
- програмне скидання ЦП 1;
- скидання при збої.

Скидання всіх без винятку модулів МК здійснюється при скиданні через зовнішній вивід, в інших випадках проводиться скидання тільки окремих модулів МК.

У МК інтегровано два модулі ФАПЧ. Модуль PLL0 може збільшувати вхідну частоту в 96 разів, а модуль PLL1 — у 25 разів. Для обох модулів вхідною частотою є головна частота 25 МГц. Крім того, в МК інтегрований низькочастотний осцилятор 240 кГц з низьким енергоспоживанням. Контроль тактової частоти здійснюють чотири монітори CLMA, кожен з яких формує переривання при виявленні помилки.

У режимі зниженого енергоспоживання може бути вимкнений будь-який периферійний модуль і будь-яке процесорне ядро. У режимі зупинки модуль не може формувати переривання. Перед вимкненням модуля потрібно відключити відповідне переривання.

ШИНИ

Як завжди, коли ми говоримо про МК компанії Renesas, необхідно хоча б коротко зупинитися на описі шин. Їх конфігурація наведена на рисунку 4, в дужках, поруч з позначенням шини. Особливістю шин Renesas є поділ фізичного доступу до ведених шин з боку периферійних модулів, що в багатьох випадках дозволяє уникнути конфлікту при спробі одночасного доступу до шини різних периферійних вузлів.

Головна і периферійна шини з низькою затримкою мають багаторівневу структуру, тому можуть обробляти кілька запитів доступу одночасно. Якщо запит доступу до одного і того ж периферійного пристрою надходить від декількох ведучих пристроїв, то доступ отримує пристрій з найвищим пріоритетом.

Арбітраж головної шини здійснюється за алгоритмом кругового обслуговування (іноді його називають «карусель», або round-robin), а для периферійних шин — за пріоритетною ознакою. Зауважте, доступ ЦП 0 до периферійних модулів через низькошвидкісні периферійні шини має пріоритет у порівнянні з доступом від інших ведучих пристроїв через головну шину.

Контролер стану шини формує сигнали керування для зовнішньої пам'яті та інших зовнішніх пристроїв. Ширина шини даних для зовнішніх пристроїв може становити 8, 16 або 32 біти залежно від підключеної зовнішньої пам'яті або іншого зовнішнього пристрою.

КОНТРОЛЕР ПОДІЙ ELC

Контролер подій ELC фіксує події, що генеруються периферійними модулями, і залежно від типу події здійснює комутацію периферійних модулів без участі ЦП. Таким чином, зменшується завантаження ЦП і скорочується енергоспоживання. Під час обміну даними ЦП може перебувати в режимі зниженого енергоспоживання або реалізовувати інші завдання, не відволікаючись на переривання. Нагадаємо, що

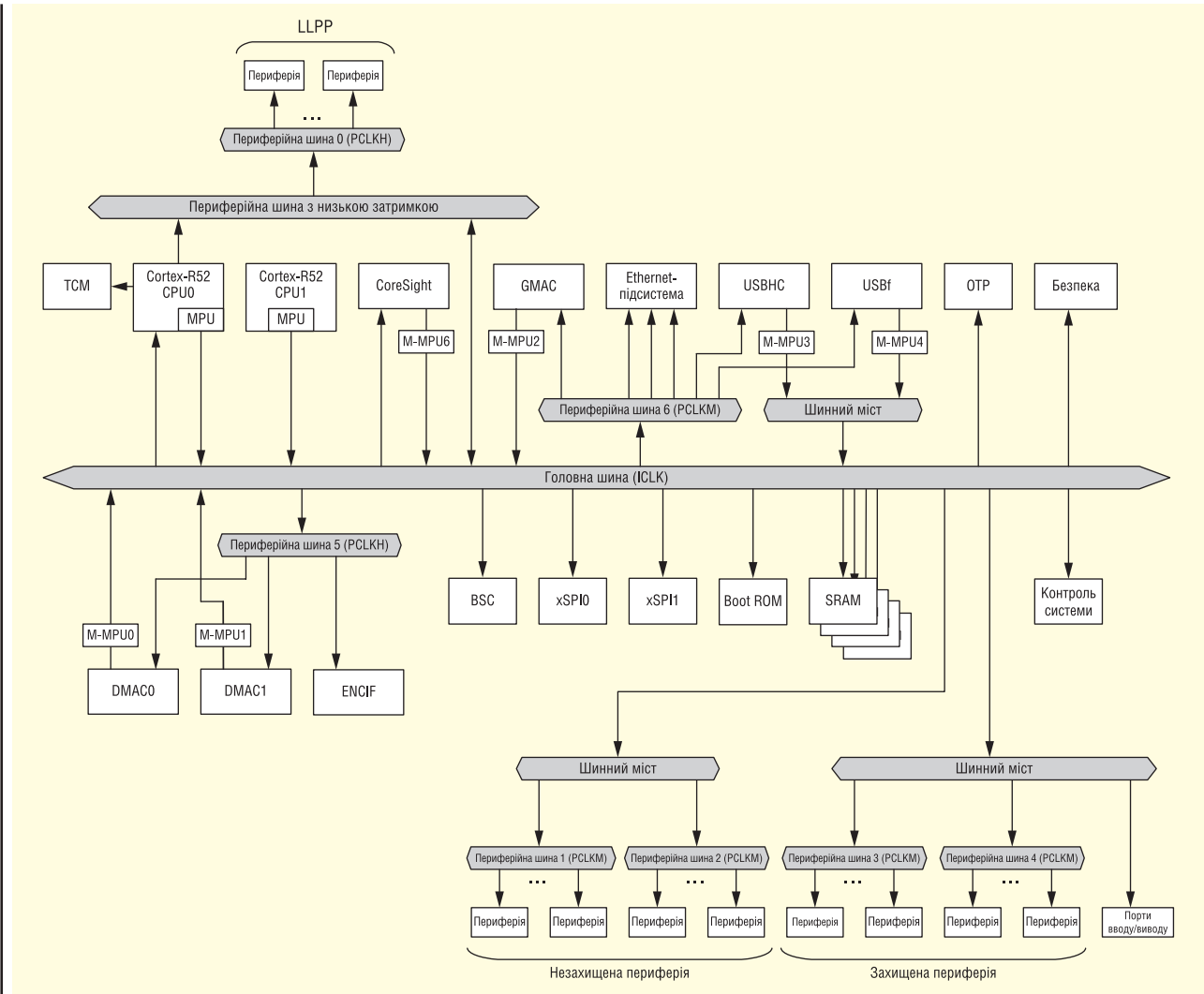


Рис. 4. Конфігурація шин

при виконанні переривання відбувається запис контексту в регістри й пам'ять, а потім, після обслуговування переривання, — зчитування цих даних. Операції запису і читання досить енергоємні.

Структурна схема контролера подій ELC наведена на рисунку 5. В цілому контролер ELC встановлює з'єднання по 213 подіям. Можливість периферійного модуля генерувати прапори події задається в його конфігураційному регістрі. Причому кожен модуль може бути асоційований тільки з однією подією.

АПАРАТНІ ПРИСКОРЮВАЧІ

До складу апаратних прискорювачів входить два 3-канальних модуля сигма-дельта інтерфейсу DSMIF. В цілому є шість сигма-дельта модуляторів. Також передбачена можливість використовувати Sinc фільтри 1-, 2- або 3-го порядку. Коефіцієнт передискретизації може зна-

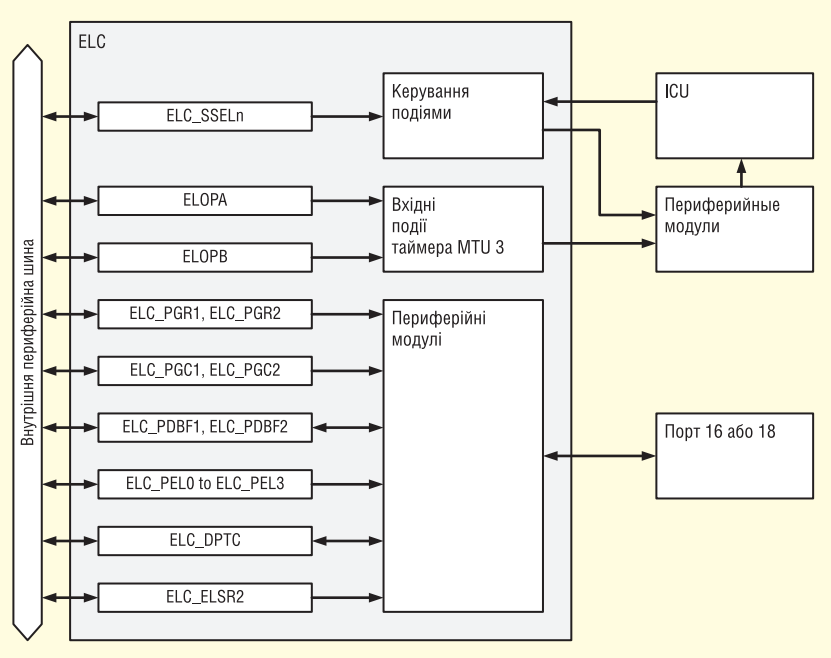


Рис. 5. Структурна схема контролера подій ELC

ходитися в межах 4–256 і бути обраним незалежно для кожного каналу. Тригери захоплення сигналу можуть спрацювати за максимальними або мінімальними значеннями, для кожного каналу можна встановити власний тригер.

Модуль обчислення тригонометричних функцій TFU виконує обчислення синуса, косинуса, арктангенса і $\sqrt{a^2 + b^2}$. Операції обчислення синуса і косинуса, а також арктангенса $\sqrt{a^2 + b^2}$ і можуть виконуватися одночасно.

Модуль обробки даних DOC призначений для операцій додавання, віднімання і порівняння 16-біт чисел. При порівнянні даних залежно від результатів формується переривання. Також переривання формується, якщо в результаті додавання або віднімання результат перевищить 0xFFFF або буде менше 0x0000.

АЦП

До складу МК входять два 12-бітні АЦП послідовного наближення; 8-канальний АЦП може бути безпосе-

редньо підключений до периферійного порту LPP процесора, що дозволяє прискорити обробку даних від зовнішніх периферійних пристроїв.

Запуск АЦП може здійснюватися програмним шляхом, за таймером MTU3 через контролер подій ELC або за сигналом від зовнішніх периферійних пристроїв. Запуск АЦП може здійснюватися програмним шляхом, за таймером MTU3 через контролер подій ELC або за сигналом від зовнішніх периферійних пристроїв.

Можливі три режими роботи:

- одноразове опитування;
- безперервне опитування;
- групове опитування.

При одноразовому опитуванні вибрані канали опитуються тільки один раз, потім опитування припиняється. Опитування починається з каналу з найменшим номером і продовжується за зростанням номерів. При безперервному опитуванні черговість опитування каналів така ж, як і в попередньому випадку.

При груповому опитуванні всі канали поділяються на дві групи (група А і група В) або три групи (група А, група В

і група С). При цьому опитування кожної групи може запускатися за різними тригерами незалежно один від одного. При одночасному надходженні сигналу запиту опитується група А, вона має найвищий пріоритет, потім групи В і С. Якщо при опитуванні групи з нижчим пріоритетом буде потрібно почати опитування групи з вищим пріоритетом, то опитування групи з нижчим пріоритетом переривається і поновлюється після завершення опитування групи з вищим пріоритетом.

ТАЙМЕРИ

Вміле використання таймерів у завданнях з керування та збору даних може в деяких випадках істотно спростити їх вирішення. Наприклад, за допомогою таймерів можна реалізувати кінцевий автомат. Тому наведемо основні параметри таймерів МК.

До складу багатофункціонального таймера MTU3 входять вісім 16-бітних каналів і один 32-бітний канал, а також 39 регістрів захоплення/порівняння.

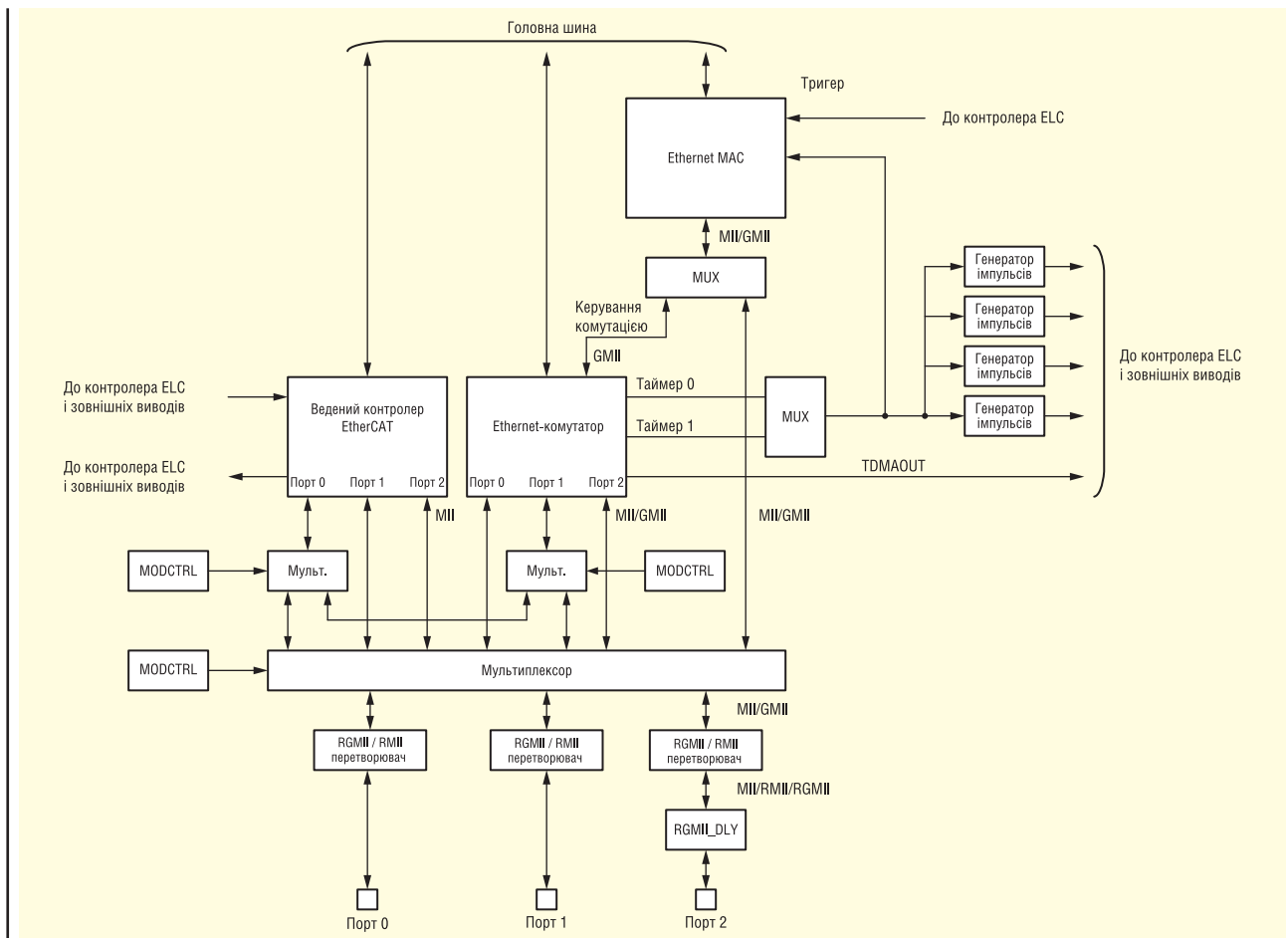


Рис. 6. Структурна схема підсистеми Ethernet

До складу багатофункціонального таймера MTU3 входять вісім 16-бітних каналів і один 32-бітний канал, а також 39 регістрів захоплення/порівняння. Лічильники таймера можуть каскадуватися. Максимальна вхідна частота становить 200 МГц. Зверніть увагу на можливість одночасного звернення до лічильників таймера TCNT. Всі операції таймера буферизуються. У таймері MTU3 можливо сформувати комплементарний ШІМ з коефіцієнтом заповнення 0–1 для керування трифазним інвертором. Для придушення шуму передбачено використання цифрової фільтрації вхідних сигналів.

Універсальний ШІМ-таймер GPT містить 18 32-бітних лічильників і здатний моделювати пилкоподібний і трикутний сигнал. Максимальна частота вхідного сигналу досягає 400 МГц. Кожен з лічильників підключений до двох зовнішніх виводів МК і має два регістри захоплення/порівняння. Операції декількох лічильників можуть бути синхронізовані, наприклад, для того, щоб забезпечити бажаний зсув фаз між імпульсними послідовностями. Тривалість мертвого часу встановлюється користувачем. Запуск, зупинка, очищення лічильника і перемикавання напрямку рахунку може здійснюва-

тися як за внутрішніми, так і за зовнішніми тригерами. Внутрішні тригери можуть бути програмними або формуватися за результатами порівняння в регістрах захоплення/порівняння. Таймер здатний формувати події для запуску АЦП.

Згадаємо ще два таймери захоплення/порівняння. Перший з них, СМТ, складається з двох 16-бітних лічильників. У складі МК є три модулі СМТ. До складу другого таймера захоплення порівняння СМТW входить 32-бітний лічильник. У МК вбудовано два модулі таймера СМТW.

У МК також вбудований сторожовий таймер і таймер/календар реального часу, обидва не мають жодних принципів відмінностей від безлічі аналогічних таймерів у складі інших МК, тому ми не будемо їх розглядати.

КОМУНІКАЦІЙНІ ІНТЕРФЕЙСИ

У МК вбудовані наступні комунікаційні інтерфейси:

- Ethernet;
- EtherCAT;
- USB 2.0;
- SCI;
- I²C;

- CAN-FD;
- SPI;
- розширений SPI – xSPI.

Всі перераховані інтерфейси добре відомі, тому не будемо їх описувати, але зробимо виняток для підсистеми Ethernet, щоб читач міг більш повно оцінити мережеві можливості МК. Структурна схема підсистеми представлена на рисунку 6. До її складу входить порт Ethernet MAC (GMAC), Ethernet Switch (ETHSW), ведений контролер EtherCAT, перетворювачі і три MAC-PHY, що підтримують RGMII, MII і RMII.

Ethernet MAC відповідає вимогам стандартів IEEE802.3, IEEE1588-2008, IEEE802.3-az-2010. Швидкість передачі даних становить 10/100/1000 Мбіт/с. Підтримується дуплексний і напівдуплексний режими. Обсяг кадру задається користувачем, але не може перевищувати 16 Кбайт.

У комутаторі Ethernet ETHSW містяться три MAC-PHY. При швидкості передачі даних 1000 Мбіт/с підтримується тільки напівдуплексний режим, а при швидкостях 10 і 100 Мбіт/с — дуплексний і напівдуплексний. Роботу в реальному часі забезпечує конфігурований планувальник.

CN



Нові трифазні джерела живлення на DIN-рейку

- Потужність 240, 480 або 960 Вт (перенавантаження до 150...200%)
- Діапазон вхідної напруги 320...600 В AC або 450...800 В DC
- Номінальні вихідні напруги 12В (окрім 960 Вт), 24В, 36В або 48В
- Ультратонкий корпус: від 48 до 96 мм
- ККД 92-96%, споживання без навантаження <2,5...3,1 Вт
- Можливість паралельного включення блоків по схемі «3+1» (XTR-480/960)

- Сигнал «DC-OK» та вихідні OR-ing FET «діоди» (XTR-480/960)
- Діапазон робочих температур -40...+85°C
- Захист від короткого замикання, перевантаження, перенапруги, перегріву
- Відповідність стандартам OVC III
- Робота на висоті до 5000 м, захисне покриття друкованої плати
- Сертифікати CB/TUV/UL/RCM/BSMI/CCC/BIS/EAC/CE/UKCA
- 5 років гарантії

Компанія SEA — офіційний дистриб'ютор MEAN WELL на території України



ІННОВАЦІЇ ТА
ЕФЕКТИВНІСТЬ

Україна, 02094, м. Київ, вул. Краківська, 13-Б
тел./факс: +38 044 330-00-88
info@sea.com.ua, www.sea.com.ua