Реалізація складної дискретної логіки за допомогою мікроконтролерів

Роберт Перкель (Robert Perkel), Microchip
Переклад та редагування: Володимир Адаменко, старший викладач кафедри ПРЕ, РТФ, КПІ ім. Ігоря Сікорського

Розробники можуть успішно використовувати периферійний конфігурований логічний блок у сімействі мікроконтролерів PIC16F13145 для реалізації складних дискретних логічних функцій на апаратному рівні, тим самим зменшуючи вартість компонентів та розробляючи власну логіку, орієнтовану на конкретне застосування.

У багатьох вбудованих системах використовуються дискретна периферійна логіка, наприклад, на серії 74'HC. Перевага такого рішення полягає в тому, що вона може працювати незалежно від мікроконтролера (MCU) та реагувати набагато швидше, ніж програмне забезпечення. Однак це збільшує вартість компонентів (*Bill of Materials, BOM*) та вимагає додаткової площі на друкованій платі.

Для вирішення цієї проблеми багато мікроконтролерів Microchip містять периферійний пристрій, відомий як *Configurable Logic Cell (CLC)* на мікроконтролерах PIC® або подібний периферійний пристрій, відомий як *Configurable Custom Logic (CCL)* на мікроконтролерах AVR®. Обидва ці периферійні пристрої реалізують програмно-визначену користувацьку логіку, яка може виконуватися незалежно від процесора. Іншими словами, після налаштування функції користувацької логіки її поведінка не залежить від мікроконтролера.

Однак, існує обмеження для цих двох периферійних пристроїв, а саме: кількість логічних комірок дуже мала. Кожна CLC приблизно еквівалентна таблиці істинності (*Look-Up Table, LUT*), тоді як CCL

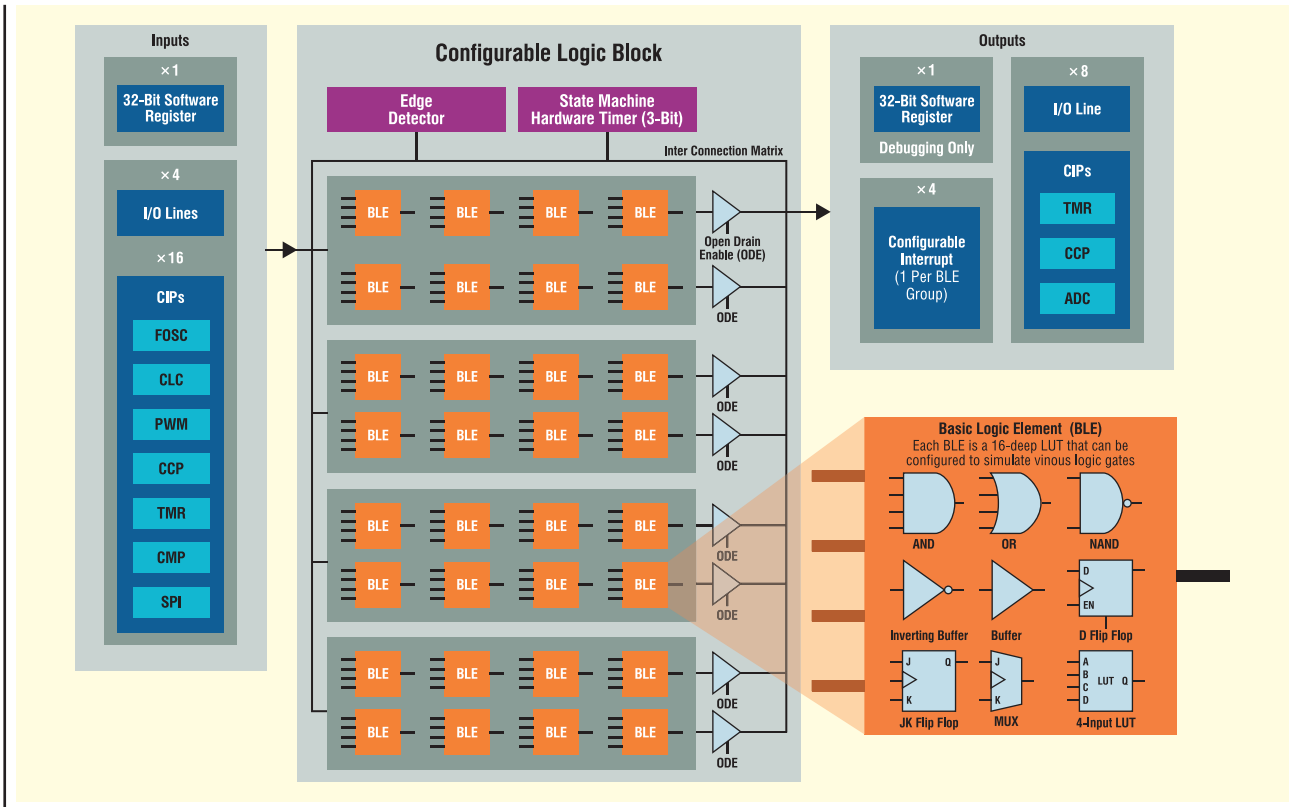

Рис. 1. Блок-схема CLB

еквівалентна елементу з кількома незалежними LUT всередині. Ці два периферійні пристрої є дуже потужними інструментами для розробки простих логічних схем, обробки декількох сигналів разом та інтеграції з іншими апаратними периферійними пристроями. Наприклад: *апаратне усунення брязкоту кнопок*, *керування WS2812* та *ортогональне декодування*, що вимагає використання цих двох периферійних пристроїв, але їх кількість в одному чипі невелика, що викликає складність застосування.

Для підтримки складніших рішень, *сімейство мікроконтролерів PIC16F13145* має новий тип логічної периферії, яка називається *конфігурований логічний блок (Configurable Logic Block, CLB)*, як показано на рисунку 1. Зауважте, що CLB не замінює периферійні пристрої CLC або CCL, і пристрій може мати як CLC/CCL, так і CLB.

CLB у мікроконтролерах сімейства PIC16F13145 містить чотири логічні групи, кожна з яких містить вісім BLE. BLE в різних логічних групах з'єднані один з одним — кожна логічна група представляє два виходи GPIO та додаткове переривання процесора. Коли робоча напруга становить 5.5 В, час затримки BLE зазвичай становить менше 6 нс. Усі BLE у структурі мають спільний тактовий сигнал, джерело якого налаштовується програмно разом з додатковим дільником тактового сигналу. CLB може використовувати одне з внутрішніх джерел тактового сигналу мікроконтролера або зовнішнє джерело тактового сигналу.

Ініціалізація периферійного пристрою відбувається з пам'яті мікроконтролера. Опісля виводами можна керувати безпосередньо з його власної структури за допомогою вибору периферійних виводів (*Peripheral Pin Select, PPS*). PPS дозволяє користувачеві замінювати режими портів вводу/виводу, що використовуються для апаратної периферії, надаючи їм більшу гнучкість проєктування. Наприклад, якщо тактовий сигнал SPI раніше використовував RA1, але було б вигідніше використовувати RA6, тоді PPS можна використовувати для перепризначення портів.

Інші елементи CLB містять спеціалізований 3-бітний апаратний таймер з декодованим виходом, детектори фронтів для вхідних сигналів та 32-бітні вихідні регістри для налагодження. Виходи інших незалежних від ядра периферійних пристроїв (*Core Independent Peripherals, CIP*) на мікроконтролері можуть бути використані як вхідні дані для CLB для реалізації складніших конструкцій.

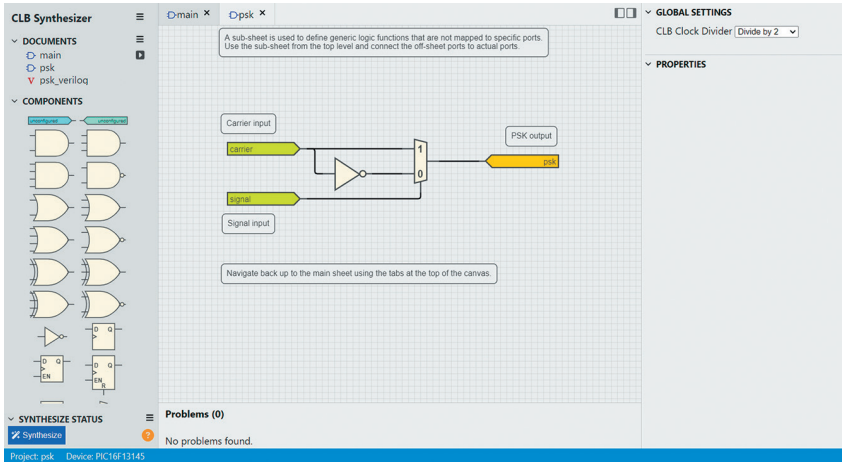

Рис. 2. Синтезатор CLB з увімкненою фазовою маніпуляцією (Phase-Shift Keying, PSK)

Оскільки CLB набагато складніші, ніж CLC або CCL, компанія Microchip розробила новий інструмент під назвою CLB Synthesizer. Він надає графічний інтерфейс для налаштування логіки, як показано на рисунку 2. Окрім логічних елементарних блоків, інструмент також підтримує бібліотеку більш розширених логічних блоків (які можуть бути попередньо надані або створені та налаштовані користувачем).

Під час взаємодії з графічним інструментом для синтезу автоматично генерується модуль Verilog у фоновому режимі. Якщо розробник бажає написати власний Verilog або має готовий файл, його можна імпортувати безпосередньо в інструмент як модуль.

Вихідним результатом CLB Synthesizer є файл, який містить бітовий потік для налаштування CLB та деякий вихідний код для конфігурації CLB як периферійного пристрою. Інструмент можна запускати через конфігуратор коду MPLAB® (*MPLAB® Code Configurator, MCC*) або *окремий онлайн-інструмент*. MCC — це утиліта для генерації коду, яка дозволяє користувачеві налаштовувати та конфігурувати периферійні пристрої в мікроконтролері за допомогою візуального інтерфейсу. Після налаштування апаратної периферії MCC генеруватиме код ініціалізації та API пристроїв.

Під час виконання бітовий потік CLB завантажується безпосередньо з пам'яті програми за допомогою вбудованого обладнання. Перевага такої реалізації полягає в тому, що якщо конфігурацію CLB потрібно змінити під час виконання програми, процес завантаження можна повторити з іншим бітовим потоком, що зберігається в пам'яті пристрою.

Щоб продемонструвати застосування CLB, було створено серію прикладів використання. Тут ми розглянемо два приклади: *перетворювач коду 7-сегментного дисплея* та *перетворювач SPI у WS2812*. Приклади можна скопіювати як структурні блоки для використання в рамках комплексного рішення. Мета — показати корисність цього периферійного пристрою та цінність, яку він може принести в проєкт.

Перший варіант використання — це перетворювач коду 7-сегментного дисплея. 7-сегментні дисплеї можуть керуватися через звичайний набір портів вводу/виводу, але стандартні реалізації зазвичай вимагають використання програмно-визначеної таблиці для перетворення вхідних цифр у правильний вихідний код для дисплея. У цій реалізації CLB діє як апаратна таблиця. Бажаний вихідний символ (від 0 до F) завантажується програмно у вхідний регістр CLB. Кожен вихідний сегмент дисплея контролюється LUT для відображення входу на вихід.

Цей приклад використання застосований внутрішньо для створення нової плати керування системою синхронізації. Оригінальний інтерфейс розроблений у 1980-х роках із використанням логіки серії 74'HC. Завдяки CLB один 20-вивідний мікроконтролер зміг реалізувати логіку дисплея та клавіатури на платі, що значно скоротило BOM. На рисунку 3 показано два рішення для порівняння. Цей приклад розроблено Джошем Бутом (Josh Booth).

Наступний приклад — перетворювач SPI в WS2812. WS2812 — це однопровідний послідовний протокол, який використовується для керування світлодіодними масивами за допомогою широтно-імпульсної модуляції. У цьому прикладі апаратне забезпечення SPI використовується як регістр зсуву для даних, що надсилаються на світлоді

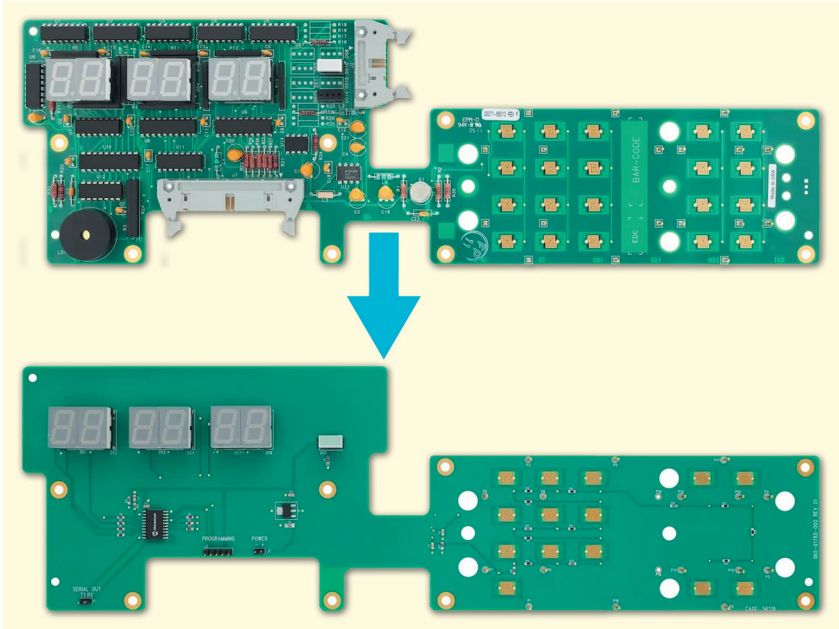

Рис. 3. **Порівняння оригінальної та нової друкованої плати**

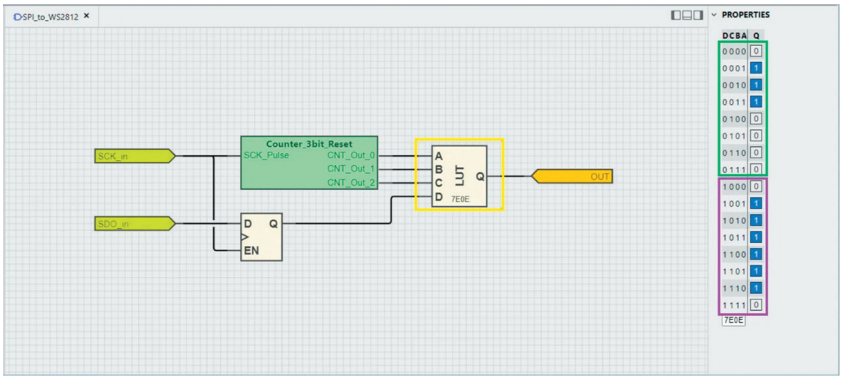

Рис. 4. **Блок-схема перетворювача SPI у WS2812**

оди, тоді як CLB використовується для перетворення SCLK та SDO в очікувані вихідні сигнали.

У цьому випадку це реалізовано за допомогою однотригерного 3-бітного лічильника, D-тригера з увімкненням (*Enable*) та 4-входового елементу LUT, як показано на рисунку 4. Хитрість цієї реалізації полягає в джерелах тактового сигналу для SPI та CLB. Тактовий сигнал SPI встановлений на високий рівень очікування (*HIGH*), змінює стан на наростаючому фронті та працює на частоті виходу WS2812 (800 кГц), тоді як джерело тактового сигналу для CLB працює на частоті в 10 разів більшій за частоту першого (8 МГц). Коли SCLK низький (*LOW*), 3-бітний лічильник спрацьовує та починає рахувати. Коли лічильник досягає 7 (0b111), 3-бітний лічильник зупиняється та залишається на 0 до наступного низького циклу тактового імпульсу.

Вихід лічильника подається на 4-входову LUT разом із фіксованою версією вихідних даних. Це встановлює вихідну схему даних, як показано на правій стороні рисунка на рисунку 4 (розроблена Петре Теодором-Еміліаном (*Petre Teodor-Emilian*)). Після скидання лічильника його вихід залишається на 0 для завершення циклу. Наступний байт в апаратному забезпеченні SPI може бути відправлений за потреби, і цикл повторюється.

Обидва приклади демонструють переваги дискретної логіки всередині мікроконтролера. Апаратна периферія звільняє процесор від різних завдань, тим самим покращуючи час відгуку та зменшуючи споживання енергії, одночасно зменшуючи кількість компонентів. Завдяки CLB складні програми, які раніше було неможливо реалізувати всередині мікроконтролера, тепер можна безперешкодно розробляти. Наразі CLB можна знайти в *мікроконтролерах сімейства PIC16F13145*, які доступні в Microchip Direct або у інших дистриб'юторів. CN

БЮДЖЕТНІ FPGA POLARFIRE® CORE ТА SOC ЗІ ЗНИЖЕНОЮ НА 30% ВАРТІСТЮ

На сучасному ринку вартість матеріалів (BOM) продовжує зростати, і розробники повинні працювати над оптимізацією продуктивності та бюджетів. Визнаючи, що значна частина ринку FPGA середнього класу не потребує інтегрованих послідовних трансиверів, компанія Microchip Technology випустила програмовані логічні матриці (Field-Programmable Gate Arrays, FPGA) PolarFire® Core та системи на кристалі (System on Chips, SoC). Нові пристрої є похідними від базових сімейств PolarFire і дозволяють знизити витрати клієнтів на 30% завдяки оптимізації функцій і видаленню інтегрованих трансиверів. Пропонуючи ті ж самі провідні в галузі низьке енергоспоживання та перевірену безпеку й надійність класичної технології PolarFire, пристрої Core забезпечують економію без втрати функціональності, обчислювальної потужності або якості.

Розроблені для автомобільного, промислового, медичного, комунікаційного, оборонного та аерокосмічного ринків, сімейства PolarFire Core мають захист від одноразових збоїв (Single Event Upset, SEU) для забезпечення критично важливої надійності та інтегрують чотириядерний 64-бітний мікропроцесор (MPU) RISC-V® для гнучких обчислювальних можливостей. Крім того, пристрої Core розроблені так, щоб бути сумісними з повною лінійкою FPGA PolarFire, щоб відповідати різним SKU дизайну, підвищуючи цінність для застосувань, які ставлять на перше місце економічну ефективність, а не ряд непотрібних функцій.

«Багато виробників FPGA нещодавно підвищили ціни, що створило нові труднощі для OEM-виробників, які потребують швидкого виведення продуктів на ринок з найнижчими можливими витратами та енергоспоживанням, — зазначив Брюс Вейєр (Bruce Weyer), корпоративний віце-президент підрозділу FPGA компанії Microchip. — Наші серії PolarFire Core FPGA та SoC безпосередньо вирішують проблеми, пов'язані з ціною та енергоспоживанням, пропонуючи провідні на ринку рішення за вигідною ціною».

www.microchip.com