

Мікроконтролери RZ/G2L компанії Renesas

Сергій Волков

У статті описуються мікроконтролери сімейства RZ/G2L компанії Renesas. Головна увага приділяється опису основних системних модулів, а також мультимедійним і графічним периферійним модулям. Добре відомі розробникам стандартні периферійні та системні модулі в цій статті не розглядаються.

ВСТУП

Компанія Renesas продовжує рух своєю дорожньою картою, згідно з якою нещодавно було анонсовано сімейство мікроконтролерів (МК) RZ/G2L. У це сімейство входять чотири модифікації МК:

- RZ/G2L;
- RZ/G2LC;
- RZ/G2UL (Type 2);
- RZ/G2L (Type 1).

Основні відмінності модифікацій наведено в таблиці 1. Зауважимо, що модифікації RZ/G2LC і RZ/G2UL (Type 2) сумісні за виводами.

Відзначимо кілька важливих особливостей МК сімейства. По-перше, вбудований код виправлення помилок (*Error Correction Code, ECC*) забезпечує високу стійкість до збоїв, що дуже важливо для промислових і критично важливих систем. По-друге, наддовгострокова, понад 10 років, підтримка під час використання програмних пакетів CIP Linux і ядра Super Long Term Support (SLTS).

Використання верифікованого пакета Linux (VLP) помітно спростить розробку. Пакет VLP являє собою комбінацію

базового пакета CIP і програмного забезпечення для IoT-пристроїв. На рисунку 1 показано структуру програмного забезпечення на демонстраційній платі, що випускається Renesas.

За рамками опису цієї статті залиши-мо таймери, інтерфейси та деякі інші пе-

риферійні та системні модулі, які нічим не відрізняються від аналогічних, що використовуються в інших сімействах МК RZ. Вони багаторазово описані в статтях, присвячених цим сімействам МК, і їх використання не представляє будь-яких труднощів для досвідчених розробників. Структурна схема МК RZ/G2L показана на рисунку 2.

ПРОЦЕСОРНІ ЯДРА

Процесорне ядро Cortex-A55 було анонсовано у 2017 р. на базі нової

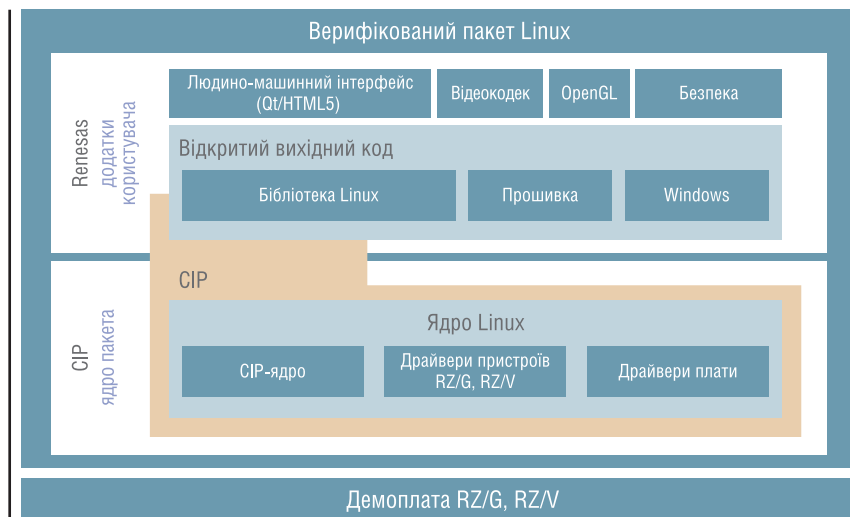


Рис. 1. Структура програмного забезпечення на демонстраційній платі, що випускається Renesas

| Таблиця 1. Основні відмінності між модифікаціями МК сімейства RZ/G2L | | | | |
|--|---|---|---|---|
| Параметр | RZ/G2L | RZ/G2LC | RZ/G2UL (Type 2) | RZ/G2L (Type 1) |
| Процесорне ядро Cortex-A | 1 або 2 ядра Cortex-A55, 1.2 ГГц | 1 або 2 ядра Cortex-A55, 1.2 ГГц | Ядро Cortex-A55, 1.0 ГГц | Ядро Cortex-A55, 1.0 ГГц |
| Процесорне ядро Cortex-M | Cortex-M33, 200 МГц | Cortex M33, 200 МГц | Cortex M33, 200 МГц | Cortex M33, 200 МГц |
| Інтерфейс DRAM | 16-біт, 1-канальний DDR4-1600/DDR3-1333 w/ECC | 16-біт, 1-канальний DDR4-1600/DDR3-1333 w/ECC | 16-біт, 1-канальний DDR4-1600/DDR3-1333 w/ECC | 16-біт, 1-канальний DDR4-1600/DDR3-1333 w/ECC |
| Вхід для відео | MIPI CSI-2 або паралельний вхід | MIPI CSI-2 | MIPI CSI-2 | MIPI CSI-2 |
| Відеокодек | FULL HD-кодування та декодування H.264 | - | - | - |
| 3D GFX | Arm Mail-G31, 500 МГц | Arm Mail-G31, 500 МГц | - | - |
| Інтерфейс дисплея | MIPI DSI або паралельний вхід | MIPI DSI | - | - |
| USB | 2 канали USB2.0 | 2 канали USB2.0 | 2 канали USB2.0 | 2 канали USB2.0 |
| Gbit Ether | 2 канали | 1 канал | 1 канал | 2 канали |
| 12-біт АЦП | 8 каналів | - | - | 2 канали |
| Корпус | 551LFBGA (21 x 21 мм) | 361LFBGA (13 x 13 мм) | 361LFBGA (13 x 13 мм) | 361LFBGA (13 x 13 мм) |

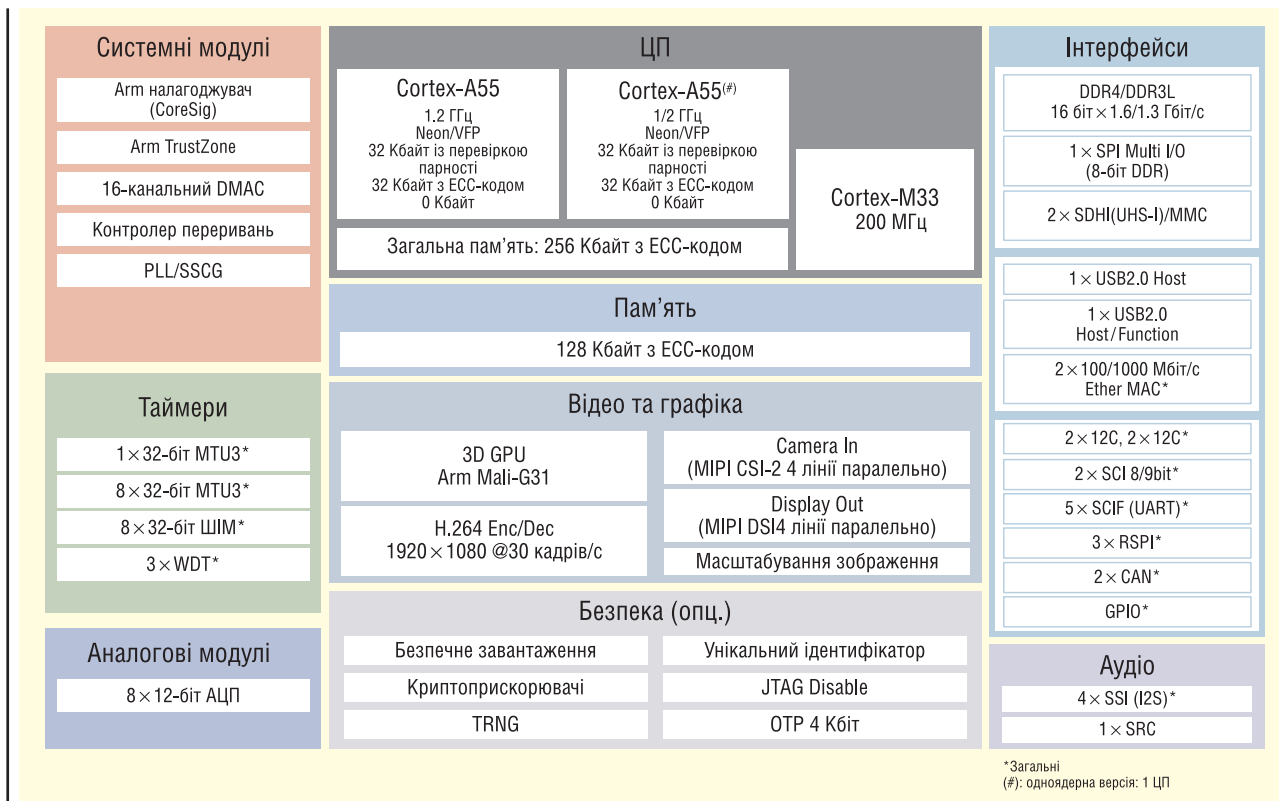


Рис. 2. Структурна схема МК RZ/G2L

на той час багатоядерної мікроархітектури DynamIQ. Ця технологія забезпечує 50-кратне збільшення продуктивності обчислень у задачах штучного інтелекту. До особливостей DynamIQ також слід віднести широкую можливість масштабування.

Ядро Cortex-A55 базується на DynamIQ та архітектурі ARMv8-A, має найкраще співвідношення енергоефективності та продуктивності у своєму класі, підвищує продуктивність на 18% під час операцій із цілими числами та на 20% під час роботи з числами з рухомою крапкою. Вбудований векторний процесор NEON SIMD дає змогу збільшити продуктивність обчислення на 40% порівняно з попереднім ядром Cortex-A53.

Оскільки процесор Cortex-A55 вперше використовується в МК групи RZ, ми зупинимося на ньому трохи докладніше. Структурна схема ядра Cortex-A55 показана на рисунку 3. Технологія DynamIQ дає змогу створювати кластер із восьми ядер. У МК RZ/G2L використовується кластер із двох ядер. У Cortex-A55 реалізовано повний набір команд Armv8.2 — A64, A32, T32 і вбудовано кеш-пам'ять L1 даних і команд; ємність кожної з них може становити 16, 32 або 64 Кбайт. Кеш рівня L2 ємністю 64, 128 або 256 Кбайт доступний опці-

онально. Підтримується технологія Arm TrustZone та операції з цифрами з рухомою крапкою, є вбудований векторний співпроцесор SIMD.

Модуль IFU здійснює вибірку команд із кешу або зовнішньої пам'яті та визначає розгалуження в потоці команд. Потім ці команди передаються в модуль

обробки даних DPU, де здійснюється їх декодування. Модуль DPU виконує команди передачі даних у пам'ять або з неї, працюючи спільно з модулем кешування команд DCU.

До складу модуля обробки даних DPU входять монітор продуктивності PMU, векторний співпроцесор NEON

СЛОВНИК

3DGE — модуль обробки 3D-графіки
BIU — модуль інтерфейсу шини
CRU — модуль приймання даних із камери
CTU — блок передачі команд
DCU — модуль кешування даних
DPI — паралельний інтерфейс дисплея
DPR — блок маршрутизатора тракту даних
DPU — модуль обробки даних
DSU — міст між процесорними ядрами Cortex-A55 кластера
DU — дисплейний модуль
CIG — універсальний контролер переривань
FCPCS — процес компресії кадрів
ELA — вбудований аналізатор логіки
ETM — вбудоване трасування
FCPVD — процесор стиснення кадрів
LCDC — контролер РК-дисплея
MAU — блок модуля доступу до пам'яті

MHU — модуль обробки повідомлень
MMU — модуль керування пам'яттю
IFU — модуль вибірки команд
ISU — модуль масштабування
PMU — модуль монітора продуктивності
PPI — загальні периферійні переривання
ROP — растрові операції
RPF — блок форматування пікселів
SCU — захист пам'яті рівня L3
SGL — програмно формовані переривання
SPI — окремі периферійні переривання
STR — буфер зберігання даних
SYC — системний лічильник
SYSC — контролер системи
TLB — буфер асоціативних трансляцій
WPF — блок форматування пікселів
VCPL4 — процесор відеокодека
VSPD — процесор відеосигналів

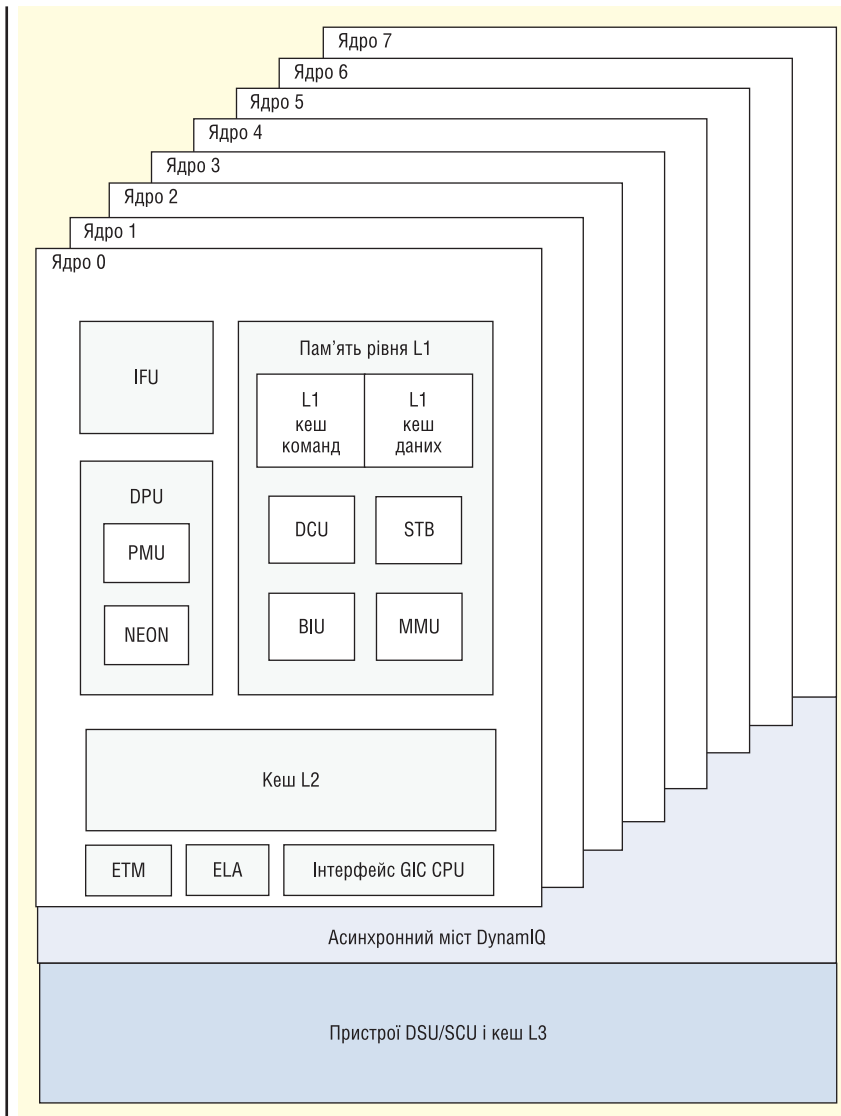


Рис. 3. Структурна схема ядра Cortex-A55

з SIMD і блок обробки даних з рухомою комою. За допомогою PMU можна набрати статистику по роботі кожного ядра і пам'яті, щоб потім використовувати цю інформацію для налагодження коду. Набір команд A64 містить додаткові інструкції SIMD-операцій з подвійною точністю з числами з рухомою крапкою.

Модуль керування пам'яттю MMU містить буфер асоціативних трансляцій TLB, який здійснює трансляцію віртуальної адреси пам'яті у фізичну адресу. У TLB також містяться адресні ідентифікатори простору ASID, які запобігають скиданню TLB при перемиканні контексту; вони ж використовуються для функціонування віртуальної машини.

До складу підсистеми кешу пам'яті L1 входить модуль кешування DCU, буфер зберігання STB та інтерфейс шини BIU. Модуль DCU здійснює операції запису і зчитування даних у пам'ять рівня L1. Буфер STB зберігає дані після того, як вони вийшли з конвеєра, і використовується для створення черги операцій.

Оскільки процесорне ядро Cortex-M33 з'явилося на рік раніше за ядро Cortex-A55 і завдяки технології ARM TrustZone знайшло застосування в багатьох МК різних компаній, для його опису ми обмежимося лише рисунком 4, запозиченим з [1]. Функціональні можливості Cortex-M33, що збільшилися, порівняно з попередником Cortex-M4 говорять самі за себе.

ПАМ'ЯТЬ

УМК вбудовано ОЗП ємністю 128 Кбайт, яка поділена порівну між процесорами Cortex-A55 і Cortex-M33. Якщо до пам'яті звертаються одночасно два пристрої, шина здійснює арбітраж за алгоритмом кругового обслуговування, який іноді називають каруселлю. Доступ до пам'яті і для читання, і для запису здійснюється за один цикл.

Для роботи із зовнішньою пам'яттю DDR3L-1333/DDR4-1600 використовується паралельна шина завширшки 16 біт, підтримується код виправлення помилок ECC. Об'єм пам'яті може досягати 4 Гбайт. Зв'язок із зовнішньою флеш-пам'яттю здійснюється через багатоканальний контролер SPI. Можливе підключення до двох модулів флеш-пам'яті. Максимальна частота тактування досягає 100 МГц при Octal-SPI та HyperFlash. Крім того, передбачено 2-канальний мультимедійний інтерфейс SD/MMC, сумісний з SD 3.0.

| Cortex-M4 | | Cortex-M33 | |
|----------------------------|----------------------------|---------------------------------|---------------------------------|
| ETM | ETM | TrustZone | TrustZone |
| NVIC (до 240 переривань) | ETNVIC (до 480 переривань) | Контроль граничного рівня стека | Контроль граничного рівня стека |
| MPU (PMSAv7) | MPU (PMSAv8) | Співпроцесорний інтерфейс | Співпроцесорний інтерфейс |
| AHB Lite | AHB5 | Покращене налагодження | Покращене налагодження |
| FPU | EPU | MTB | MTB |
| SIMD/DSP | SIMD/DSP | ETM | ETM |
| WIC | WIC | ETNVIC (до 480 переривань) | ETNVIC (до 480 переривань) |
| Послідовний інтерфейс/JTAG | Послідовний інтерфейс/JTAG | MPU (PMSAv8) | MPU (PMSAv8) |
| ARMv7-M | ARMv6-M mailline | AHB5 | AHB5 |
| | | EPU | EPU |
| | | SIMD/DSP | SIMD/DSP |
| | | WIC | WIC |
| | | Послідовний інтерфейс/JTAG | Послідовний інтерфейс/JTAG |
| | | ARMv6-M mailline | ARMv6-M mailline |

■ Нова або покращена функція

Рис. 4. Функціональні можливості Cortex-M33 у порівнянні з Cortex-M4

ШИНИ

Головним фактором, що визначає продуктивність МК, є процесорні ядра та частота їхнього тактування. Однак і структура шин МК не в останню чергу впливає на продуктивність МК навіть не в тестах, а при виконанні практичних завдань, коли потрібно працювати із зовнішнім обладнанням і здійснювати обмін даними між вбудованими периферійними модулями. Отже, знання шинної структури МК буде зовсім не зайвим для розробників.

Шинна структура МК RZ/G2L показана на рисунку 5. Ширина шин у 34 біти забезпечує фізичну адресацію 16 Гбайт. Частина провідних модулів шини має доступ до всіх 34 бітів адреси, а інша частина провідних пристроїв — тільки 32 біт (адресний простір 4 Гбайт). 34-біт шина адреси дає змогу провідним пристроям, які можуть сприймати тільки 32-бітову адресу, розширити адресний простір до 16 Гбайт завдяки зміщенню адреси.

У разі помилки шина формує сигнал переривання. Помилка виникає в таких випадках:

- під час спроби доступу, забороненого налаштуваннями безпеки;
- у разі спроби доступу до пристрою, що перебуває в режимі зупинки;
- помилку генерує ведений пристрій.

Визначення рівнів безпеки ведених пристроїв для ввімкнення або вимкнення доступу до них визначається шляхом порівняння атрибута безпеки, який вводиться у ведений пристрій за допомогою відповідних бітів у регістрі доступу пристрою.

Переривання помилок шини зберігаються, скидаються і об'єднуються в один запит схемою синхронізації переривань.

СИСТЕМНІ МОДУЛІ

У цьому розділі ми коротко розглянемо деякі оригінальні системні модулі, які, на наш погляд, становлять інтерес для розробників і допомагають краще зрозуміти організацію МК. Системний контролер SYSC містить ідентифікатори та повну інформацію про МК, керує безпекою, відповідає за зміну атрибута безпеки для безпечної транзакції від кожного ведучого модуля шини та керує доступом до шини.

Крім перерахованих функцій, контролер SYSC керує доступом до 34-біт адресного простору. За 32-біт адреси контролер виконує 2-біт розширення

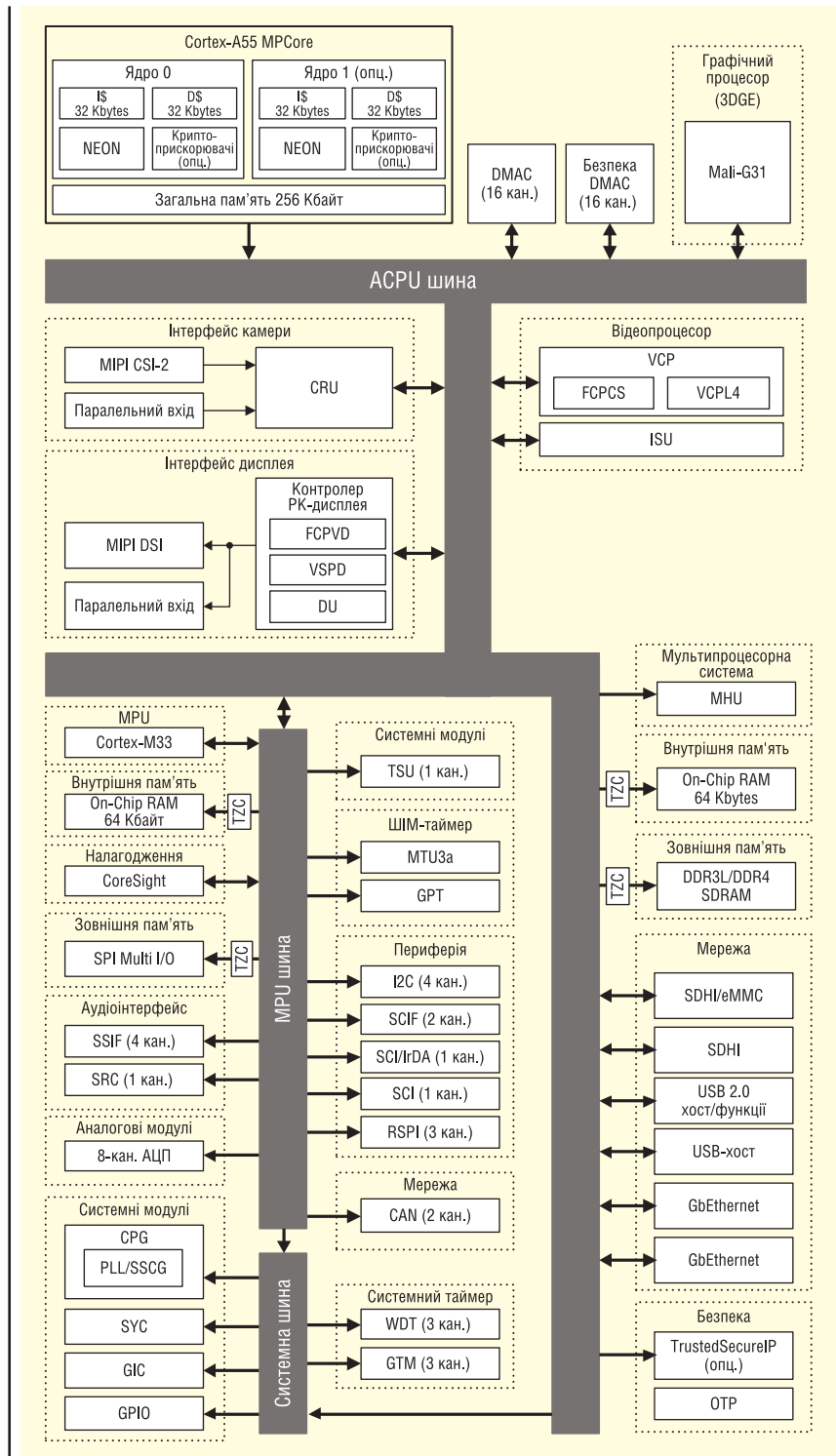


Рис. 5. Шинна структура МК RZ/G2L

для доступу до 34-біт адресного простору. Режими зниженого енергоспоживання також задаються контролером. Докладніше його функціонал і будову див. на рисунку 6, де показано структурну схему контролера.

Контролер переривань Cortex-M33 вбудований у ядро. Він обробляє до 480 запитів переривань і може розді-

лити їх на 256 рівнів пріоритету. Для Cortex-A55 використовується окремий універсальний контролер переривань GIC-600, який формує 32 рівні пріоритетів і обробляє такі запити переривань:

- 16 програмно формованих переривань (SGI);
- 16 приватних периферійних переривань (PPI);

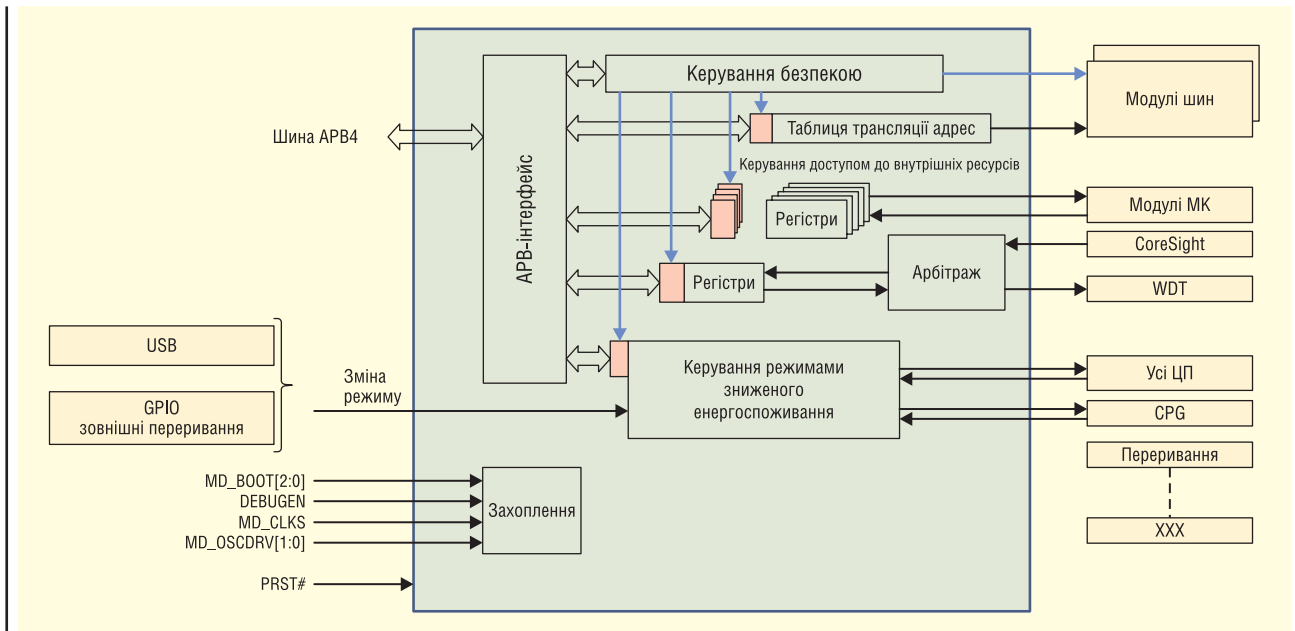


Рис. 6. Структурна схема контролера SYSC

- 480 загальних периферійних переривань (SPI).
Для обміну даними між процесорними ядрами Cortex-A55 і Cortex-M33 використовується модуль обробки повідомлень (MHU). Його структурна схема показана на рисунку 7. Зв'язок реалізується за допомогою спільного ОЗП, через яке передаються повідомлення про повідомлення і самі повідомлення між процесорами. У разі збереження повідомлення в ОЗП формується перериван-

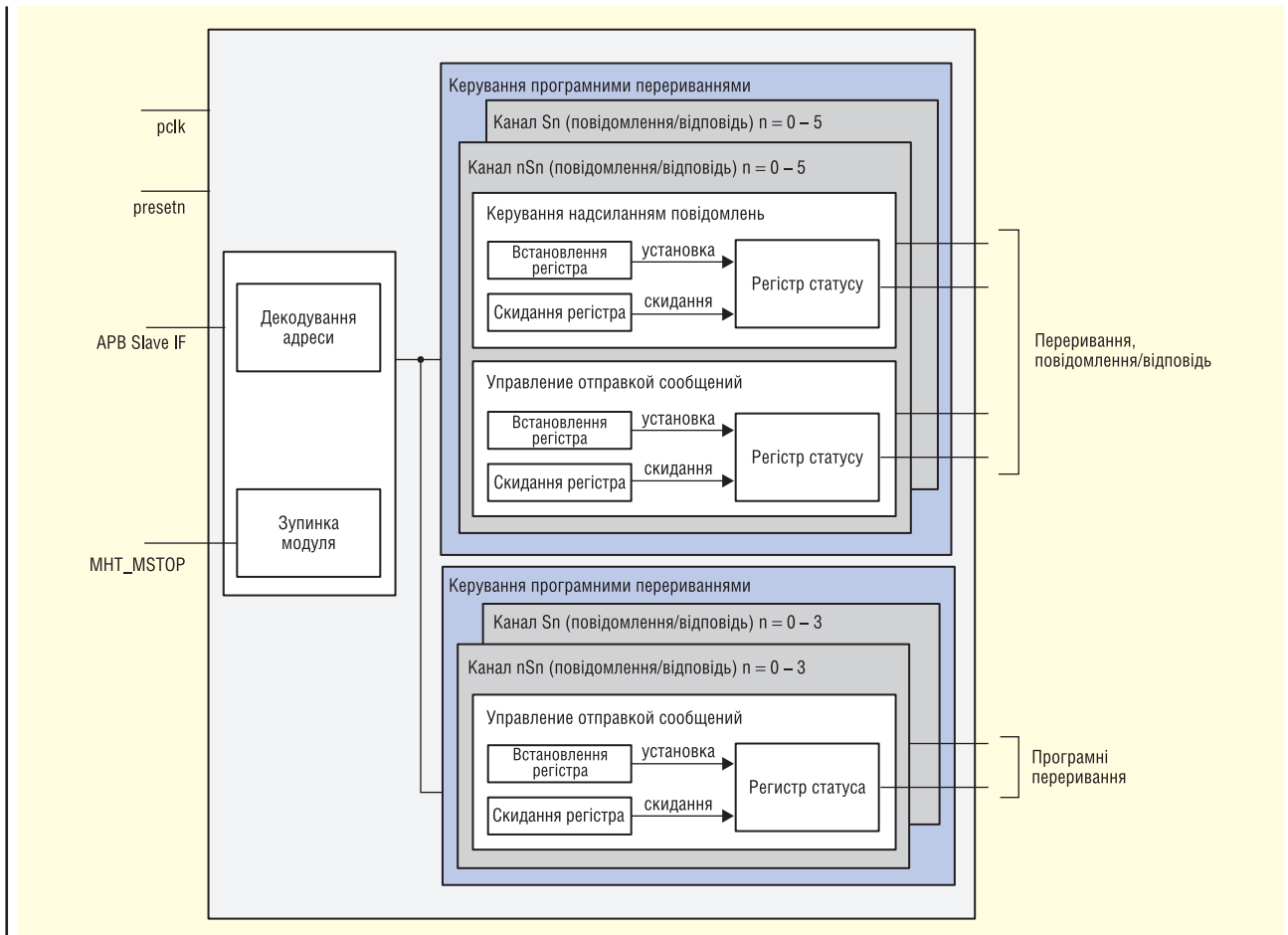


Рис. 7. Структурна схема модуля обробки повідомлень MHU

ня, яке повідомляє адресата про повідомлення. Наявність запитів на переривання відображається в регістрах статусу. Встановлення та скидання регістрів статусу здійснюється програмним шляхом.

КОНТРОЛЕР РК-ДИСПЛЕЯ

До складу контролера РК-дисплея входять процесор стиснення кадрів (FCPVD), процесор відеосигналів (VSPD) і дисплейний модуль (DU). Коротенько перелічимо деякі основні функції кожного з цих модулів. Процесор FCPVD забезпечує:

- збереження черги незавершених транзакцій;
- читання даних з лінійною адресацією;
- читання даних списку зображень;
- запис даних зображень.

Процесор відеосигналів VSPD реалізує:

- підтримку форматів YCbCr444/422/420, RGB, α -RGB, α -площина;
- обробку відео та змішування шарів зображення (ROP);
- перетворення кольорового простору та згладжування кольорів, завдяки чому вдається зменшити їхню кількість;
- перегортання по вертикалі під час запису в пам'ять і зворотний запис зображень, що передаються на дисплейний модуль DU;
- безпосереднє під'єднання до модуля дисплея і підтримку панелей з 1920 пікселями по горизонталі.

До функціоналу дисплейного модуля входять такі завдання:

- підтримка паралельного інтерфейсу дисплея (DPI) і відеоінтерфейсу MIPI LINK;
- реалізація часової діаграми та стробувальних сигналів;
- підтримка прогресивної розгортки (черезрядкова розгортка не підтримується);
- підтримка Full HD (1920 × 1080) з інтерфейсом MIPI-DSI та WXGA (1280 × 800) з паралельним інтерфейсом.

Для розуміння загальної картини приділимо трохи уваги опису роботи модуля процесора відеосигналів VSPD. Блок модуля доступу до пам'яті (MAU) є ведучим модулем шини. Він обробляє дані зображення із зовнішньої пам'яті та записує оброблені дані в зовнішню пам'ять. Блок передачі команд (CTU) є ведучим модулем шинного інтерфейсу. Через цей модуль зчитуються параметри регістрів для обробки зображень за допомогою списку відображень із зовнішньої пам'яті.

Блок форматування пікселів (RPF) зчитує через блок MAU дані із зовнішньої пам'яті, розпаковує їх і виконує з ними всі кольорні маніпуляції. Для маршрутизації потоків даних у модулі VSPD використовується блок маршрутизатора тракту даних (DPR). Таблиця пошуку LUT перетворює кожен із трьох кольорних компонентів. Вона безпосередньо під'єднана до блоку маршрутизатора DPR і може використовуватися для гамма-корекції та перетворення негативу в позитив. Блок форматування пікселів (WPF) отримує 32-бітові дані (YCbCr444

або RGB888 + 8-бітові α) від DPR і перетворює кольорний простір, кількість кольорів і формат даних, а також надсилає оброблені дані в зовнішню пам'ять через блок MAU.

МОДУЛЬ КАМЕРИ CRU

Структурну схему модуля приймання даних з камери CRU показано на рисунку 8. Оскільки вона дає досить повне уявлення про принцип дії модуля, основну увагу в цьому розділі ми приділимо перерахуванню параметрів модуля, а не опису його роботи.

Модуль CRU підтримує стандарти MIPI CSI-2 V2.1 і MIPI D-PHY V2.1 зі швидкістю передавання даних у діапазоні 80–1500 Мбіт/с. Перелічимо деякі основні параметри модуля:

- максимальний розмір вхідного зображення становить 5 Мпкс, мінімальний розмір — QVGA (320 × 240 = 76.8 Кпкс.);
- максимальна кількість пікселів у горизонтальному напрямку — 3800, а по вертикалі — 4095 рядків;
- сумісний зі специфікацією 2 (CSI-2)SM, підтримує 1, 2 або 4 лінії;
- забезпечує 1-біт корекцію ECC і виявляє 2-біт помилку в заголовку пакета і здійснює перевірку CRC, виявляє помилки приймача на рівні D-PHY, помилки під час формування пакета і помилки рівня декодування протоколу;
- під час передавання даних чергування на рівні пакетів і на рівні кадрів.

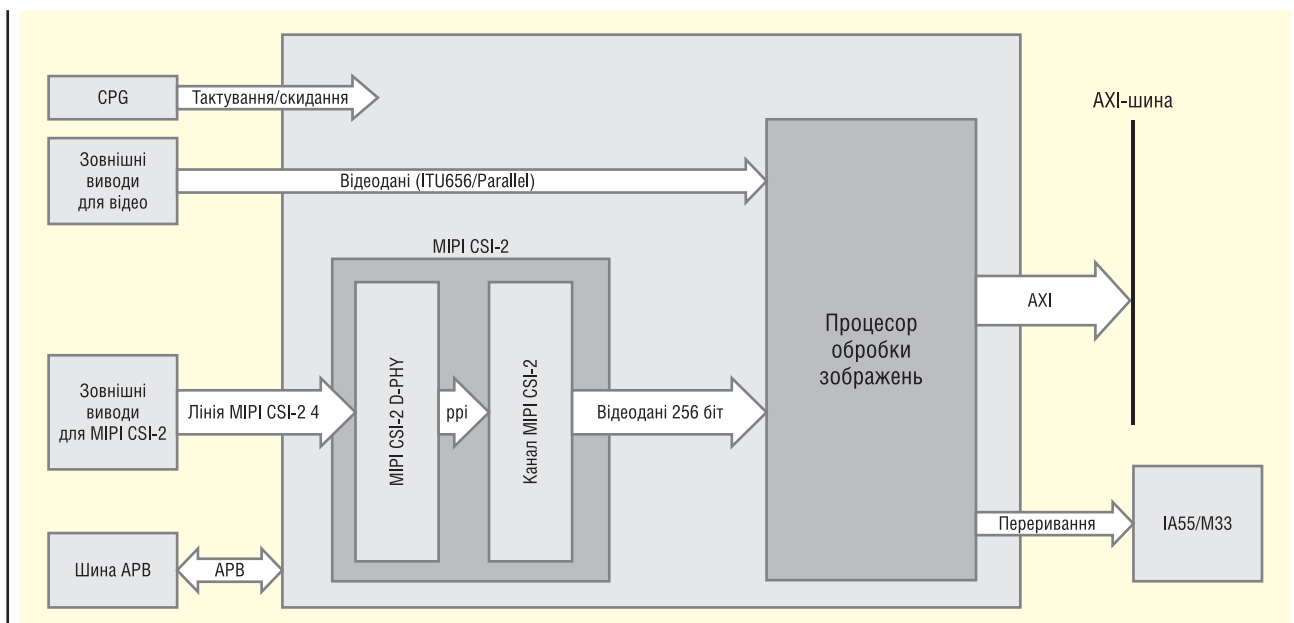


Рис. 8. Структурна схема модуля приймання даних з камери CRU

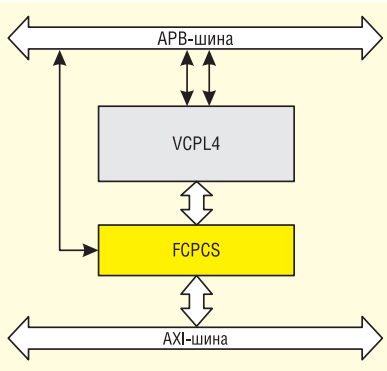


Рис. 9. Взаємозв'язок модулів FCPCS і VCPL4

КОМПРЕСІЯ КАДРІВ FCPCS І ПРОЦЕСОР ОБРОБКИ ВІДЕОСИГНАЛІВ VCPL4

Процесор компресії кадрів FCPCS є допоміжним модулем обробки відеосигналів. Він здійснює компресію даних без втрат (*lossless data compression*) і розпакування даних для процесора відеокодека VCPL4. Взаємозв'язок цих модулів показано на рисунку 9. Процесор FCPCS здійснює стиснення, розпакування і кешування даних, а також перетворення транзакцій з шини AXI. Модуль підтримує роздільну здатність 1920 × 1080 пікс. і кеш опорних кадрів. Коефіцієнт стиснення без втрат зазвичай не перевищує 50%.

Процесор відеокодека VCPL4 є модулем кодека H.264. Програмне забезпечення та бібліотеки до нього можна замовити в компанії Renesas. Модуль VCPL4 підтримує роздільну здатність до 1920 × 1080 і здійснює обробку даних за алгоритмом «картина за картиною». Підтримуються ефективні інструменти

кодування H.264, зокрема CABAC, перетворення частоти 8 × 8 і матриця квантування.

ГРАФІЧНІ МОДУЛІ

До таких належать модуль масштабування (ISU) та модуль обробки 3D-графіки (3DGE). Модуль масштабування ISU зчитує зображення із зовнішньої пам'яті DRAM, зменшує його розмір за допомогою білінійного алгоритму і записує вже зменшене зображення в DRAM. Він також реалізує перетворення кольорового формату з використанням матриці 3 × 3 та обрізання зображення. Коефіцієнт масштабування перебуває в межах 1/1...1/15.

Структурна схема модуля 3DGE показана на рисунку 10. До складу модуля входить графічний процесор Arm Mali-G31, заснований на відкритих стандартах. Він підтримує 2D/3D-графіку і всі необхідні обчислювальні операції. До складу модуля входить ядро однопіксельного шейдера, 8 Кбайт кеш-пам'яті рівня L2, набір графічних API, фільтр згладжування. Модуль 3DGE підтримує стислі формати текстур і узгодженість спільного використання ресурсів і системної пам'яті. Крім того, підтримується повний профіль OpenCL 2.0 і стандарти графічних API OpenGL ES 1.1, 2.0, 3.0, 3.1 і 3.2.

Література:

1. Сергей Надеждин. Микроконтроллеры группы RA6M4 семейства RA6 компании Renesas Electronics // CHIP NEWS Украина. № 3. 2021. **CN**

ПОВНА ПЛАТФОРМА КЕРУВАННЯ ЛІТІЙ-ІОННИМИ АКУМУЛЯТОРАМИ З ПОПЕРЕДНЬО ПЕРЕВІРЕНОЮ МІКРОПРОГРАМОЮ

Корпорація **Renesas Electronics** представила універсальні рішення для керування літій-іонними акумуляторами в широкому спектрі споживчих товарів, що живляться від батарей, таких як електровелосипеди, пілососи, робототехніка та дрони. Завдяки попередньо перевіреним прошивці, R-BMS F (Ready Battery Management System with Fixed Firmware) значно скоротить час навчання для розробників, дозволяючи швидко створювати безпечні та енергоефективні системи керування батареями.

Розроблені для літій-іонних акумуляторів з 2–4 і 3–10 елементами серії (S), рішення R-BMS F містять провідні в галузі мікросхеми датчиків рівня палива (FGIC) від Renesas, інтегрований мікроконтролер (MCU) і аналогову передню панель акумулятора, попередньо запрограмовану прошивку, програмне забезпечення, інструменти для розробки та повну документацію — все це доступно в повних наборах для тестування, які вже готові до відправлення.

Прошивка має важливе значення в системах керування акумуляторами, оскільки вона використовується для моніторингу стану заряду (SoC), стану здоров'я (SoH), струму і температури, а також для активного балансування напруги окремих елементів і виявлення несправностей.

Рішення R-BMS F від Renesas включають вбудоване, попередньо протестоване програмне забезпечення, призначене для роботи з вбудованим мікроконтролером FGIC. Вбудоване програмне забезпечення містить критичні запрограмовані функції для збільшення терміну служби акумулятора та забезпечення безпечної експлуатації. До них відносяться балансування елементів, контроль струму, а також моніторинг напруги та температури. Для більшої гнучкості система керування батареєю дозволяє розробникам встановлювати безліч параметрів для задоволення конкретних вимог та адаптувати рішення для різних хімічних елементів за допомогою графічного інтерфейсу користувача (GUI), без необхідності використання повноцінного інтегрованого середовища розробки (IDE).

www.renesas.com

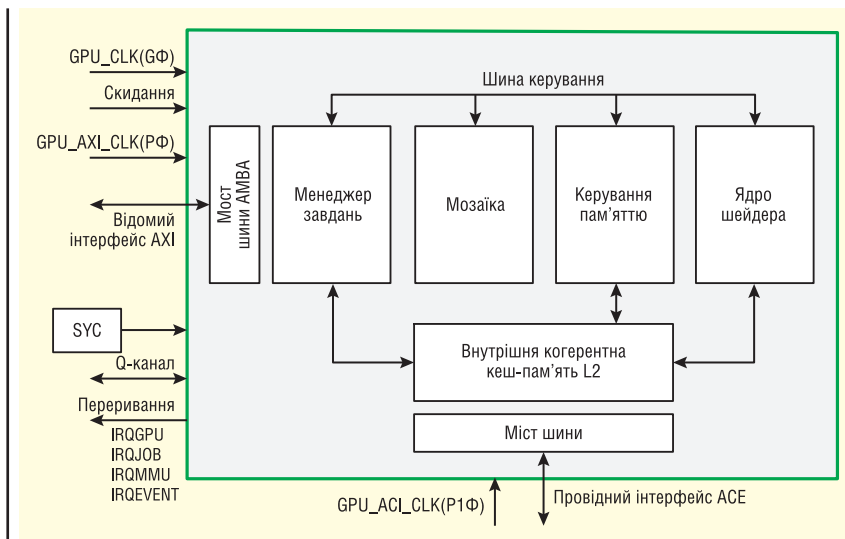


Рис. 10. Структурна схема модуля 3DGE